חוברת הדרכה על בנית Layout עם הכלי Innovus 20.1
עם Tower 0.18u Design Kit

גואל סמואל

הקדמה

<u>רקע</u>
כלי ה- Innovus מאפשר תכנון ומימוש של המסכות מעגל VLSI באופן אוטומטי. Innovus הוא כלי מתוחכם מאד ומסוגל לבצע:

- timing analysis
- physical synthesis
- clock tree synthesis
- power analysis
- voltage (IR) drop analysis
- signal integrity analysis
- crosstalk analysis

מעבר לאנליזות השונות הכלי מסוגל לבצע תיקונים אוטומטיים ב- layout לתיקון התקלות שנתגלו. חשוב לכוון את הכלי בצורה נכונה על מנת לקבל תכנון אופטימאלי. באופן כללי ניתן לומר שקיימים שני שלבים עיקריים של בנית layout אוטומטי למעגל. ראשית מבצעים את תכנון ה- floorplan כלומר מיקום הבלוקים בתכנון ומיקום הכניסות/יציאות שלהם, בשלב שני מבצעים את מיקום תאי הספרייה והחיווט שלהם בכל תת בלוק ובין כל תתי הבלוקים.

הכלי מאפשר מימוש מהיר מאד של "אב טיפוס" של ה- layout על מנת לקבל הערכה טובה של מיקום התאים ואורך החוטים, מידע שניתן להזין לכלי הסינתזה ותזמון כך שניתן יהיה לקבל מעגל העומד בדרישות מהר יותר. ההסבר להלן מתאר מימוש של layout סופי ולא רק "אב טיפוס".

בתכנונים גדולים מומלץ לבנות את ה- layout בצורה היררכית. ברוב הפרויקטים אין צורך לעבוד בשיטה ההיררכית. שיטת העבודה כאן תהיה top->down כלומר ראשית יבנה ה- floorplan של כל השבב כולל חלוקה לתת בלוקים. לאחר מכן ימומש של תת בלוק בנפרד. בשלב האחרון יבוצעו הפעולות הנדרשות לחיבור הבלוקים ביחד. **אם אתה בכל זאת שוקל לעבוד היררכית, עליך להתייעץ עם צוות המעבדה.**

ראשית נתאר מימוש layout של מעגל שכולו מבוצע ברמת היררכיה יחידה. תיאור של שימוש בכלי האנליזה השונים יובא בהמשך. באופן כללי ניתן לומר שבנית layout שטוח מורכב מהשלבים הבאים:

1. קריאת קבצי הטכנולוגיה
2. קריאת קובץ ה- verilog (ברמת שערים כלומר אחרי סינתזה) של המעגל
3. אתחול והגדרת ה- Floorplan הראשוני
4. מיקום התאים
5. מימוש רשת ההספקה
6. חיווט התכנון

הגדרת סביבת העבודה

לפני תחילת העבודה יש ליצור ספריה חדשה ולהעתיק קבצי הגדרות. צור ספרייה חדשה:

```
mkdir innovus
cd innovus
```

הערה: נבחר בשם innovus מכיוון שבגרסה זאת הכלי מופעל ע"י הרצת בפקודה: innovus.

העתק את הקובץ verilog המסונתז לספריה החדשה.

יש להעתיק גם את הקבצים הבאים:

```
cp /users/iit/cadence/tsl018d/env.globals .
cp /users/iit/cadence/tsl018d/cds.lib .
cp /users/iit/cadence/tsl018d/mmmc.view .
cp /users/iit/cadence/tsl018d/top.sdc .
```

הכנת הקובץ המסותנז

הקובץ המסונתז אינו מכיל pads הנחוצים לחיבור של השבב ל- pins של האריזה. לפני תחילת העבודה על ה- layout, יש להוסיף את ה- pads לקובץ. ניתן לעשות זאת באופן ידני או באמצעות סקריפט אשר יעדכן את הקובץ באופן אוטומטי. לשם בניית הקובץ יש להריץ את הסקריפט הבא:

/users/iit/cadence/tsl018d/gentop.pl *verilog_file_name top_module*_name

לדוגמא:

/users/iit/cadence/tsl018d/gentop.pl decoder.v decoder

בסיום הריצה יתקבלו שני קבצים:

top.v
top.io

בקובץ ה-top.v נמצא התכנון המעודכן כולל ה-pads. <u>יש לוודא</u> כי הסקריפט פעל בהצלחה, יש לפתוח את קובץ ה-top.v באמצעות העורך:

nedit top.v

ולוודא כי בשורות הראשונות מופיעים חיווטים:

```
module top();
wire wire1;
wire wire2;
...
```

במידה ומופיעים רק שני חיווטים:

```
module top();
wire net1000;
wire net1001;
```

<u>הסקריפט לא רץ כראוי</u>, יש לוודא כי שם ה-top_module_name הוקלד כראוי, מומלץ לעיין בקובץ המסונתז ולוודא כי זהו אכן השם הנכון.

ראשית, יש לשים לב שב- Verilog שנוצר ב- top.v יופיעו השורות הבאות:

```
pv0a   PAD_G1(  ) ;
pv0c   PAD_G3 ( .VSSC(VSS) );
pvda   PAD_I1(  ) ;
pvdc   PAD_I3 ( .VDDC(VDD) );
```

חשוב : בעקרון נדרש להשתמש ב- pv0i וב- pvdi ולא כפי שצוין לעיל pv0c ו- pvdc. קיימת בעיה ש- Innovus לא מחבר את pv0i ואת pvdi לרשתות ההספקה ולכן בשלב זה נשתמש ב-pv0c ו- pvdc ונחליף אותן בהמשך הדרך.

הערה- לפעמים לאחר ביצוע הסינתזה, שם ה-top module משתנה, יש להקפיד על שמות זהים, במידה והתווסף סימן '\' לשם ה-module יש להסירו מהקובץ המסונתז על מנת שהסקריפט יעבוד כראוי.
דוגמא של קובץ verilog שמכיל גם את התכנון וגם א ה- pads ניתן למצוא ב- /users/iit/cadence/tsl018b/top.v שים לב ל- pads של קווי ההספקה ושל פינות ה- layout.

*שילוב זיכרונות RAM (חלק א')

את השלב הבא יש לבצע במידה וזיכרונות ה-RAM של הפרויקט נוצרו באמצעות הכלי של tower ובאמצעות המדריך Using Tower 0.18u RAM memories המופיע באתר. במידה ויש לכם זכרונות אחרים ניתן לדלג על שלב זה.
כאמור עבור Module ה- RAM לא בוצעה סינתזה. יש לוודא שקובץ ה- top.v מכיל הגדרה ריקה של הזיכרון לדוגמא :

```
module mymem ( A, CEB, WEB,
        OEB, CSB,  I, O);
        input   [7:0]   A ;
        input   CEB ;
        input   WEB ;
        input   OEB ;
        input   CSB ;
        input  [31:0]    I  ;
        output  [31:0]    O  ;
endmodule
```

כאשר mymem הוא שם הזיכרון כפי שמופיע בקובץ ה-lef בשורת ה-macro (זהה גם לשם שנבחר בעת היצירה של הזיכרון עם הכלי). יתכן שהסינתזה פירקה את ה- buses לקווים בודדים.

הפעלת כלי Innovus

הפעל את הכלי בעזרת הפקודה : innovus (מתוך הספריה שיצרת). יפתח חלון גרפי, בחלון המקורי ניתן לספק פקודות כתובות לכלי. ראשית נקרא את התכנון. פעולת הקריאה גם טוענת את קבצי הטכנולוגיה.
לחץ על File→ Import Design. בחלון שנפתח לחץ על load וטען את קובץ env.globals, הקובץ מגדיר את הדברים הבאים :
- top.v זהו הקובץ שנוצר באמצעות gentop והגדרת ה-top module שלו.
- קבצי tlf, lef המכילים אפיון של רכיבי tower (תזמונים, הספקים...).
- קובץ אילוצי תזמון top.sdc. קובץ זה נקרא ע"י קובץ ה- mmmc.view.
- מיקום קובץ ה-IO FILE לדוגמא- המגדיר את מיקום ה-pads. (קובץ זה גם הוא נוצר באמצעות gentop)
- בלשונית ה-advanced, הגדרות מתחי ההספקה ב-Power (VDD VDDC VDDO ו- VSS VSSC VSSO).
לחץ על OK.

<u>חשוב :</u> הכלי מאפשר הצגת התכנון בשלשה ייצוגים שונים :
א. Floorplan View : מציג מיקום הבלוקים
ב. Amoeba (placement) View : מציג מיקום התאים הבסיסיים
ג. Physical View : מציג את כל הפרטים של המימוש

ניתן לעבור בין הייצוגים ע״י לחיצה על שלשת הכפתורים במסגרת view בצד ימין :

שמירת התכנון

ניתן לשמור את העבודה בכל שלב בעזרת הפקודה : Design→Save Design. אחרי הפעלת הכלי מחדש ניתן להעלות את התכנון מחדש בעזרת : Design→Restore Design.

*שילוב זיכרונות RAM (חלק ב׳)

שילוב זיכרונות RAM יש לבצע במידה והם נוצרו באמצעות הכלי של tower ובאמצעות המדריך Using Tower 0.18u RAM memories המופיע באתר. במידה ויש לכם זיכרונות אחרים ניתן לדלג על שלב זה.

1. עליך לטעון את ה- LEF file של הזיכרון. הוסף את שם ה- LEF file של ה- RAM בשדה ה- LEF File בחלון ה-Import.
2. בתהליך יצירת ה-RAM נוצרים קבצי *.lib למשל dpram4096x32_CB_typ.lib . צריך להוסיף את קבצי ה typ, min ו- max לקובץ mmmc.view לדוגמא :

```
ile {/tools/kits/tower/PDK_TS18SL/iit/qrcTechFile}
create_library_set -name Typ -timing {/tools/kits/tower/PDK_TS18SL/CIO150_1_8v_Super_Compact_Inline_I_O_2007_07/synopsys/2002.05/models/tsl18cio150_
typ.lib /tools/kits/tower/PDK_TS18SL/FS120_STD_Cells_0_18um_2005_12/DW_TOWER_tsl18fs120/2005.12/synopsys/2004.12/models/tsl18fs120_typ.lib /users/ii
t/tower_memories/dpram4096x32_CB/dpram4096x32_CB_typ.lib}
create_library_set -name Min -timing {/tools/kits/tower/PDK_TS18SL/CIO150_1_8v_Super_Compact_Inline_I_O_2007_07/synopsys/2002.05/models/tsl18cio150_
min.lib /tools/kits/tower/PDK_TS18SL/FS120_STD_Cells_0_18um_2005_12/DW_TOWER_tsl18fs120/2005.12/synopsys/2004.12/models/tsl18fs120_min.lib /users/ii
t/tower_memories/dpram4096x32_CB/dpram4096x32_CB_min.lib}
create_library_set -name Max -timing {/tools/kits/tower/PDK_TS18SL/CIO150_1_8v_Super_Compact_Inline_I_O_2007_07/synopsys/2002.05/models/tsl18cio150_
max.lib /tools/kits/tower/PDK_TS18SL/FS120_STD_Cells_0_18um_2005_12/DW_TOWER_tsl18fs120/2005.12/synopsys/2004.12/models/tsl18fs120_max.lib /users/ii
t/tower_memories/dpram4096x32_CB/dpram4096x32_CB_max.li}
create_constraint_mode -name TypCM -sdc_files {top.sdc}
```

הערות כלליות:

1. כאשר מבצעים File→ Import Design לחיצה על save יוצרת קובץ בשם default.globals. סביר להניח שיהיה צורך לחזור על טעינת התכנון מספר פעמים. בפעם הבאה שמבצעים Design→Import Design ניתן ללחוץ על הכפתור load על מנת להעלות את התצורה השמורה ב- default.globals ובכך לחסוך מילוי כל שדות הטופס.
2. הקובץ innovus.cmdN (N מספר שלם) מכיל עותק של כל הפקודות שביצעת. ניתן להעתיק את הפקודות לקובץ scriptfile. אם יש צורך בביצוע הפקודות פעם נוספת, ניתן לעשות זאת בעזרת :

source scriptfile

לפעמים נוח יותר לעבוד בצורה זאת במקום עם חלונות וטפסים. **<u>מומלץ לעיין בכל קובץ script שאתם מתבקשים להריץ.</u>**

3. כל פקודה ידנית (כגון פקודת source) מריצים בחלון ה- unix (כלומר ה- terminal) שדרכו הופעל הכלי.
4. בכל חלון אין לשנות את מצב הכפתורים והשדות, אלא אם צוין אחרת.

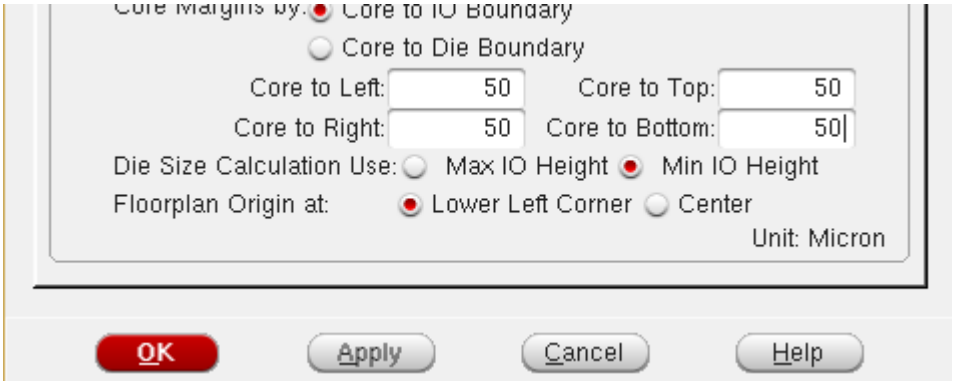
לטעינה לחץ על OK. עד כאן זיכרונות.

הגדרת ה- Floorplan

כעת יש להגדיר את צורת ה-Floorplan בעזרת לחיצה על Floorplan→Specify. בתפריט זה ניתן להגדיר את המאפיינים של ה-Floorplan :

א. יש לשנות את המרחק בין הליבה (core) ל- I/O pads – במרכז התפריט וודא כי Core to IO Boundary מסומן. שנה את ערכי ארבע השדות "Core to..." ל-100. (ראה תמונה)

ב.



ג. הגדרת גודל השבב: יש לעבוד עם גודל שבב שנקבע ע"י ברירת המחדל. אם יסתבר שהגודל לא מתאים, ניתן לשנותו בעזרת השדות Die Size by Width Height.

ד. **חשוב מאד**: פתח את הטופס של FloorPlan→Specify שוב. וודא שמימדי השבב הם כפולות של 0.01. אם זה לא מתקיים לחץ על Die Size ושנה את גודל השבב לכפולה של 0.01 הקרובה ביותר לגודל שקיבלת.

Design Browser

כלי זה מאפשר חיפוש ובחירה של תאים ו/או רשתות. פתח Tools→Design Browser, בחר את האובייקט הרצוי ולחץ על הכפתור Zoom Selected (עיגול עם מלבן באמצע).

הגדרת ההספקות של התאים

יש להגדיר לכלי איזה pin של כל תא יחובר לאספקות. פעולה זאת מבוצעת בעזרת הפקודה Power → Connect Global Nets. עבור VDD רשום VDD בשדות Pin Names ו- To Global Net ולחץ על הכפתור Add to List. לחץ על apply. חזור על הפעולה עבור כל אחד מהאספקות: VSSC VSS VDDC VDD.

כעת מחק את הכל משדה ה- Pins, לחץ על Tie High, רשום VDD בשדה - To Global Net ולחץ על הכפתור Add to List. לחץ על apply. מחק את הכל משדות ה-Instance Basename ו- Pin Names, לחץ על Tie Low, רשום VSS בשדה - To Global Net ולחץ על הכפתור Add to List. לחץ על apply ולאחר מכן על close.

הרצת הקובץ:

```
source /users/iit/cadence/tsl018d/glnets.src
```

מבצעת זאת באופן אוטומטי.

הצמדת ה- pads ל- grid

בחר את כל ה- pads ובצע:

```
snapFPlanIO -userGrid
```

השלמת מסגרת ה- iopads

יש למלא את הרווחים בתאי מילוי. בצע זאת בעזרת הפקודה:

```
source /users/iit/cadence/tsl018d/iofill.src
```

*מיקום תאי RAM (שלב ג')

אם התכנון לא מכיל תאי RAM עבור לשלב הבא.

בחר את התא (בד"כ הוא נמצא בצד ימין למטה). לחץ על ה- icon של פקודת move (בצד שמאל למעלה). לחץ על התא והזז אותו למקום הרצוי. יש להשאיר מקום פנוי מסביב לתא עבור החיווט- בחר את התא ולחץ על Edit Halos→Edit Floorplan→Floorplan. שנה את כל האפסים ל- 30 ולחץ על O.K. פעולה זאת מונעת מיקום תאים אחרים בתוך של 30 מיקרון מסביב לתא.

הגדרת רשת האספקה

הוספת טבעות

ניתן לממש את רשת האספקות בעזרת שתי פקודות :

א. Power→Power Planning→Add Rings

ב. Power→Power Planning→Add Stripes

בעזרת Power→Power Planning→Add Rings הוסף טבעות אספקה סביב כל בלוק או סביב כל הליבה. בחלון שנפתח, הגדר איזה טבעות רצויות ובחר :

- בחר ב- nets : VDD ו-VSS בלבד.
- הצלעות left,right : M5
- הצלעות top,bottom : TOP_M
- רוחב הפס : 6
- מרחק בין הפסים : 1.8
- ליד offset בחר ב – Centre of Channel.

לחיצה על Preview תציג את מבנה הטבעות. בסוף לחץ על OK.

ראשית בחר את כל macros אם יש (כל הזיכרונות למשל)

הוספת פסים

בעזרת Power->Power Planning->Add Stripes ניתן להוסיף רצועות נוספות של קווי האספקה. השלם את הטופס באופן שתואם את הטופס של הטבעות :

- בחר ב- nets : VDD ו- VSS בלבד.
- הצלעות האנכיות : M5

- רוחב הפס : 6
- מרחק בין הפסים : 1.8
- ב- Set to Set Distance רשום : 90
- ב- Start from left רשום : 45
- לחץ על OK.

- **בדרך כלל נגדיר רק צלעות אנכיות או צלעות אופקיות**
- אם מוסיפים הצלעות האופקיות יש להשתמש בשכבה : TOP_M

ניתן לבצע את הפעולות הנ"ל עם ה- script :

source /users/iit/cadence/tsl018d/power.src

מיקום התאים

בשלב זה נרצה למקם את התאים. על מנת לגרום ל- Innovus למקם תאים תוך כדי אופטימיזציה בתזמון הכללי יש לספק את האילוצים המתאימים.

ניתן לבצע רק מיקום בעזרת פקודות התפריט :

Place→Specify→Placement Blockage

בחלון שנתפתח סמן את המתכות M3-TOP_M. לחץ על OK. כעת בצע מיקום של התאים בעזרת הפקודה :

Place→Standard Cells

לחץ על OK בחלון שנפתח. התאים אינם מכסים את השטח באופן מלא.

למיקום התאים בתנאים אלה הרץ :

source /users/iit/cadence/tsl018d/place.src

עץ שעון מאוזן – Clock Tree Synthesis (CTS)

להלן דוגמא של רצף הפקודות שממשות על שעון. יש להתאים את הפקודות למימוש שלכם. יש לוודא שה- text באדום מתאים לתכנון :

setOptMode -effort high -powerEffort none -leakageToDynamicRatio 0.1 \
-yieldEffort none -reclaimArea true -simplifyNetlist true -setupTargetSlack 0 \
-holdTargetSlack 0 -maxDensity 0.80 -drcMargin 0 -usefulSkew false

enable max capacitance , transition and fanout fixing during timing optimization
setOptMode -fixCap true -fixTran true -fixFanoutLoad false

create_ccopt_clock_tree -name top -source I5/CIN
**set_ccopt_mode -cts_inverter_cells "invbd2 invbd4 invbd7 invbda invbdf **
invbdk" -cts_target_skew 0.2 -cts_target_slew 0.2
set_ccopt_mode -cts_buffer_cells {bufbd1 bufbd2 bufbd3 bufbd4 bufbd7}
set_ccopt_property target_max_trans 150ps
set_ccopt_property target_skew 0.2
**create_route_type -name RT_trunk_leaf -top_preferred_layer M4 - **
bottom_preferred_layer M3 -preferred_routing_layer_effort high
set_ccopt_property route_type RT_trunk_leaf -net_type leaf
set_ccopt_property route_type RT_trunk_leaf -net_type trunk
set_ccopt_mode -integration native
ccopt_design -cts

ניתן למצוא את הפקודות (וגם פקודות אופטימיזציה נוספות) בקובץ :

source /users/iit/cadence/tsl018d/ccopt.src

לפי קובץ זה, מקור השעון נמצא ב- **I5/CIN.** זה לא נכון לכל תכנון. על מנת למצוא את מקור השעון בתכנון שלכם, חפשו את הסיגנל wire_clock בקובץ top.v. אם תמצאו שורה כמו :

pc3d01 I13 (.CIN(wire_clk), .PAD(net108));

יש לצור עותק מקומי ל ccopt.src ולשנות בו I5 ל- I13.

הערות :

- את העותק המקומי מרצים בעזרת :
- source ccopt.src
- ראה הסבר על מבנה של הפקודות השונות ב- manual של הכלי.
- "\" מציין שהשורה ממשיכה לשורה הבאה.
- יש להריץ CTS לפני הכנסת תאי המילוי.
- CTS יוצר מבנה חדש. ניתן לשמור את קובץ ה- Verilog החדש.
- ניתן לראות את העץ בעזרת : Clock->CCopt Clock Tree Debugger.

מילוי הרווחים

יש למלא את הרווחים בתאי מילוי. בצע זאת בעזרת הפקודה :

source /users/iit/cadence/tsl018d/fill.src

ההנחה כאן, היא שהתכנון מכיל תאים סטנדרטיים בלבד. הסבר עבור מקרים אחרים יובא בהמשך.

חיווט קווי האספקה

לחץ על Special Route→Route. **חשוב : כבה את הכפתור של ה- pad_rings.**
הוסף VSS VDD לשדה nets. לחץ על OK.

חיווט התכנון

ניתן לבצע את החיווט בעזרת Route→Nanoroute→Route. לביצוע חיווט מלא של התכנון בחר באופציות Global Route ו- Detail Route. גם הפעם נבצע את החיווט בעזרת קובץ שגם מכיל פקודות אופטימיזציה נוספות.

source /users/iit/cadence/tsl018d/route.src

אנליזת הספק

ניתן לבצע את אנליזת ההספק בכמה שיטות :

- אנליזה סטטית : כל צרכן ממודל כמקור זרם קבוע
- אנליזה דינמית : כל צרכן ממודל כמקור זרם משתנה
  - ניתן להריץ אנליזה זאת עם וגם ללא ווקטורים.

אנליזת הספק סטטית

ב- Power-> Power Analysis->Setup בחר ב-static ולחץ על OK.
ב- Power-> Power Analysis->Run הכנס מספר מתאים (0.2) ל- Flop Activity ועבור Clock Gate Activity (0.1). בשדה Results Directory רשום SPA/. ולחץ על OK. בחלון ה-terminal תתקבל התוצאה. התוצאות תשמרנה בספריה שציינת בשדה Run Directory בחלון הקודם בקובץ rpt.*. ה- internal power כולל את כל צריכת ההספק שנובעת מטעינה ופריקה של קבלים וגם Short Circuit Current בתוך התא ו- switching power מתייחס לצריכת ההספק שנובעת מטעינה ופריקה של קבלים מחוץ לתא.

אנליזת הספק דינמית (לבצע רק בהוראה מפורשת של המנחה)

ההסבר כאן יתאר רק אנליזת הספק דינמית ללא ווקטורים.
ב- Power-> Power Analysis->Setup בחר ב-dynamic ו-vectorless . חשוב גם להכניס את המיקום של ה- Power Grid Libraries :
/tools/kits/tower/PDK_TS18SL/iit/tower_allcells/fast_allcells.cl
ולחץ על OK. ב- Power-> Power Analysis->Run הכנס מספר מתאים ל- Flop Activity (0.2) ול- Clock Gate Activity (0.2) ולחץ על OK. התוצאות תשמרנה בספריה שציינת בשדה Results Directory בחלון הקודם. ניתן לראות את התוצאות בספריה זאת עם :
Power->Report->Dynamic Waveforms. בחלון שנפתח בחר ב :

א. לחץ על Add ובחר הקובץ dynamic_VDD.ptiavg
ב. בשדה Composite Waveform בחר ב- Total Current. כמובן שניתן להציג גם זרמים אחרים.
ג. לחץ על Plot. בחר ב- View->Zoom Full Y ו- View->Zoom Full X.

אנליזת Rail Analysis - IR Drop

לקווי המתכת שמספקים VDD ו- VSS למעגל יש התנגדות מסוימת. התנגדות זאת גורמת למפל מתח לאורך הקו וכתוצאה מזה, המעגלים אינם מקבלים VDD מלא ו/או מתח 0 נקי בקו ה-VSS. תופעה זאת נקראת IR Drop סטטי. בנוסף לכך לקווים המוליכים את האספקות מהאריזה אל תוך השבב השראות לא זניחה. שינויים בזרם בתדרים גבוהים גם יגרמו למפל מתח הנקרא IR Drop דינמי.

הכלי innovus מאפשר חישוב של IR Drop או Rail Analysis סטטי ודינמי. על מנת לעשות זאת יש צורך במידע מדויק על צריכת הספק סטטי ודינמי של המעגל עצמו. לפני ביצוע Rail Analysis, ראשית יש לבצע את אנליזת ההספק המתאימה כפי שהוסבר לעיל. **עליך לבצע** Rail Analysis **רק בהוראה מפורשת של המנחה**. הסבר מפורט על ביצוע Rail Analysis ניתן לקבל מצוות המעבדה.

Early Rail Analysis

לעתים, יש צורך בבחינת קווי ההספקות בשלב מוקדם מאד של התכנון. קיימת אפשרות לביצוע Rail Analysis על סמך הערכת הספק בלבד (Early Rail Analysis).

פתח את הכלי : Power->Rail Analysis->Setup Rail Analysis

עבור ה- Analysis Stage בחר ב- Early.

הגדר את ה- Power Grid Libraries :

/tools/kits/tower/PDK_TS18SL/iit/tech_pgv/techonly.cl

קבע את Source Search Distance ל- 50

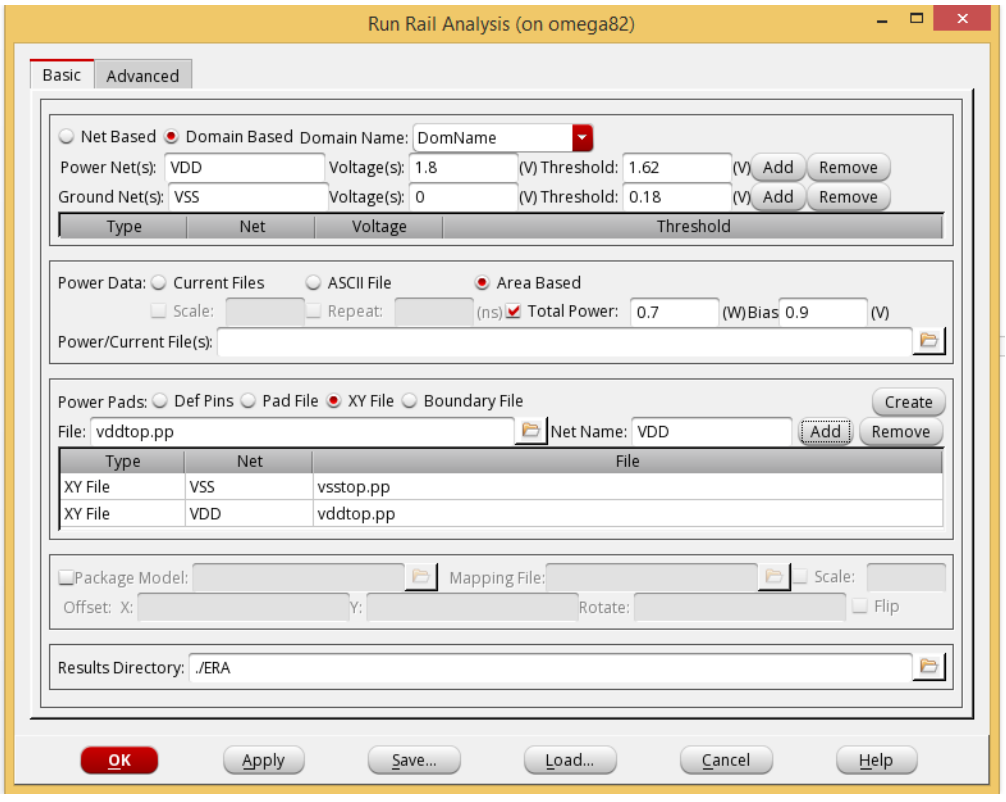
בלשונית של Advanced יש להדליק את :

- Skip Virtual Via Insertion for "all"
- Techlib Generation "false"

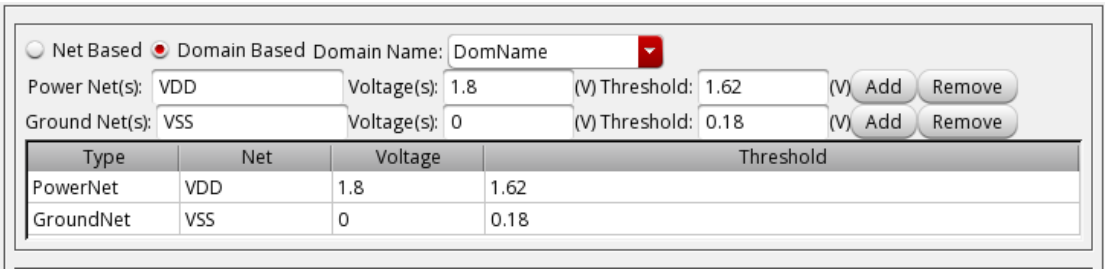
לחץ על OK של הטופס.

בחר ב- Power -> Rail Analysis -> Run Rail Analysis.

מלא את הטופס באופן הבא :



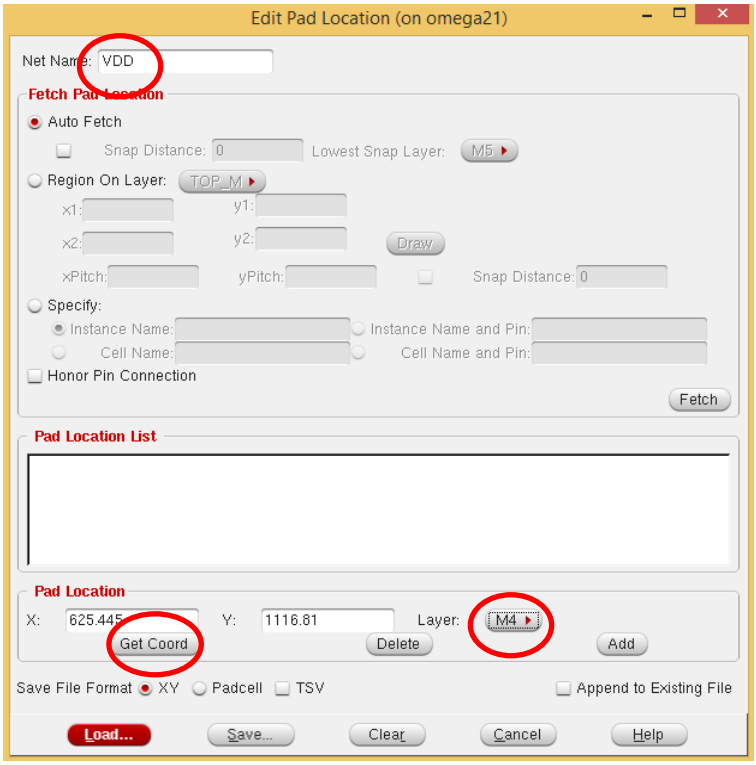
-אם מופיע כפתור Add בשורות של Ground Net – Power Net יש ללחוץ עליו פעם אחת לכל שורה.



-עבור Power Data בחר ב- Area Based
-לחץ על Total Power : רשום את צריכת ההספק המשוערת (0.4 במקרה זה)
-עבור Bias : רשום את מתח ההספקה – 0.9V
בשדה של Total Current רשום את צריכת הזרם הממוצעת המשוערת.
כעת, יש להכין קובצי pp.* שמגדירים את המיקום של ה- Pads של האספקות. בחר ב- ב- XY File ולחץ על Create.

- רשום את שם הרשת : VSS
- לחץ על Get Coord
- לחץ על פס המתכת שיוצא מ- pad ה- VSS
- בחר במתכת המתאימה
- לחץ על add. יופיע עיגול צהוב על ה- layout.

חזור על הפעולות עבור כל ה- pads של VSS. לחץ על save ושמור את הנתונים בקובץ vsstop.pp.
רשום את השם הזה בשדה File כפי שמופיע באיור לעיל. חזור על הפעולה עבור כל VDD pad.



לחיצה על OK תבצע את האנליזה. בסוף החישוב יש ללחוץ על Power-Report-Power and Rail Results על מנת להציג תוצאות Power Analysis ו/או (Early) Rail Analysis. ראשית לחץ על Rail ואז לחץ על DB Setup. תוצאות האנליזה מופיעות בספריה ERA. בחר ב- Browse שליד ה- Rail Database. בחר ב- ERA ולאחר מכן בספריה עם שם דומה ל- DomainName_25C_avg_1. במקום None-Clear בחר ב- IR Drop. כעת יוצגו התוצאות של גם VDD וגם- VSS. לחיצה על Layers/Nets מאפשרת בחירה ברשת אחת בלבד.

כמובן, ניתן לראות תוצאות נוספות של הניתוח בעזרת חלון זה. לקבלת הסברים על כך יש לפנות לצוות המעבדה.

אנליזת תזמון (לבצע רק בהוראה מפורשת של המנחה)

נתין לבצע את האנליזה הזאת רק אם קובץ ה- mmmc.view נטען בהצלחה בזמן קריאת קובץ ה- top.globals בתחילת העבודה. קובץ ה- mmmc.view מגדיר את פינות התזמון השונות וגם טוען את קובץ האילוצים בשם top.sdc המגדיר את כל אילוצי התזמון. על קובץ ה- top.sdc להכיל לכל הפחות את הגדרת השעון:

create_clock *clock_pin_name* –name *clock_name* –period 10 –waveform {0 5}

בצע: Timing→ Timing – אם בוצע CTS יש לציין זאת בטופס.

כדי לראות את התוצאות: Timing→ Debug Timing

יצירת קובץ gds2

קובץ זה נחוץ על מנת שאפשר יהיה להעביר את התכנון לכלי DRC ו- LVS. לאחר המעבר ניתן יהיה גם לבצע תיקוני layout ידניים אם יש צורך בכך. הקובץ נוצר בעזרת הפקודה:

Design-> Save-> GDS. בחלון שנפתח הכנס שם קובץ היציאה ובשדה - File Map רשום:

./users/iit/cadence/tsl018b/gds2_6lm.map.

יצירת קובץ OA

דרך נוספת לעבור לכלי DRC ו- LVS היא לשמור בפורמט OpenAccess (OA) ולאחר מכן לפתוח ב-virtuoso. השיטה הזאת אינה עובדת בשלב זה ולכן יש להעביר את התכנון ל- virtuoso בעזרת קובץ ה- gds.

ראשית, עליך לצור ספריה שבה ישמר התכנון בסביבת virtuoso. אם סביבה זו לא קיימת הגדר אחת כפי שמוסבר במסמך cadence virtuoso. ערוך את קובץ ה-cds.lib והוסף את השורות הבאות:

DEFINE tsl018fsb /tools/kits/tower/libs/OA/tsl018fsb
DEFINE tsl018iob /tools/kits/tower/libs/OA/tsl018iob

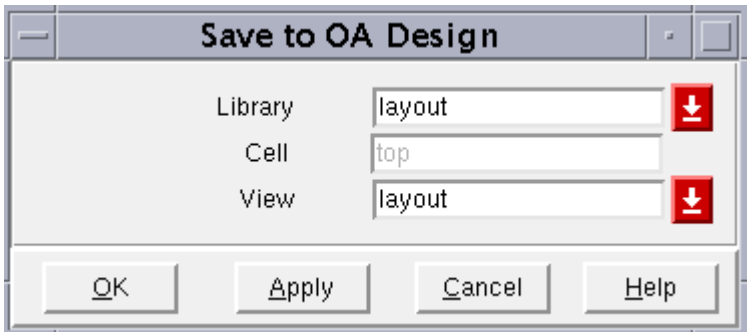
שמור את השינויים וצא מהעורך. הפעל את virtuoso באמצעות הפקודה virtuoso.

כעת צור ספריה חדשה באמצעות File→New→Library לדוגמא ספרייה בשם layout, בצד ימין ב-Technology file סמן את "Attach to an existing technology library" ולחץ OK. בחלון הבא בחר ב-ts018_prim. לחץ OK.

כעת ניתן לשמור בכלי Innovus את התכנון בצורה הבא, לחץ על:

Design→Save Design As→OA

שמור את התכנון לספריית layout:



חשוב: בתא שנוצר, יש לשנות את ה- views של כל התאים מ- abstract ל- layout.

4. בדיקת ה- LAYOUT (מכאן ואילך יש לבצע רק בהוראה מפורשת של המנחה)

4.1 הכנת הסביבה

ראשית עליך להכין סביבה כפי שהוסבר ב- manual של virtuoso. הפעל את הכלי בעזרת הפקודה:

virtuoso

פתח את ה- design_manager. ניתן לראות שתי ספריות : project_username ו- project_master. ניתן לעבוד עם כל אחת .

4.2 תיקון ה- layout

ב- Layout יש להחליף את כל תאי pv0c ו- pvdc ל- pv0i ו- pvdi בהתאם.

4.3 יצירת קובץ cdl:

בדיקה ה- LVS דורשת את הסכמה של המעגל. לרב, היא לא קיימת כי ה- layout נוצר מקובץ ה- verilog שיצר כלי הסינתזה. כלי ה- LVS מבצע את ההשוואה ברמה של טרנזיסטורים ולכן יש להכין תיאור ברמת הטרנזיסטור (קובץ cdl) של הסכמה (קובץ verilog). קובץ זה נמצא בספריה top.enc.dat בספרית העבודה של Innovus בצורה מקובצת top.v.gz. ראשית, יש לפרוש את הקובץ ולבצע את השינוי הבא. בעקרון נדרש להשתמש ב- pv0a וב- pvda ולא ב- pv0c ו- pvdc. בקובץ מופיעות השורות הבאות :

```
pv0a    PAD_G1;(  )
pv0c    PAD_G3 ( .VSSC(VSS) );
pvda    PAD_I1;(  )
pvdc    PAD_I3 ( .VDDC(VDD) );
```

שנה את השורות ל-

```
pv0a    PAD_G1;(  )
pv0i    PAD_G3 ( .VSSC(VSS) );
pvda    PAD_I1;(  )
pvdi    PAD_I3 ( .VDDC(VDD) );
```

ניתן ליצור את קובץ ה- cdl בעזרת תוכנית בשם V2CDL באופן הבא:

```
/tools/mentor13/Calibre/ixl_cal_2013.2_35.25/bin/v2lvs -v top.v -o top.cdl
```

כאשר top.v הוא שם קובץ ה- verilog. הפקודה הנ"ל יוצרת קובץ בשם top.cdl. על מנת להריץ פקודה יש לוודא עם צוות המעבדה שיש לך הרשות של כלי mentor. חשוב להתייחס לכל הודעת טעות שמתקבלת כתוצאה של הריצה.

תיקונים ידניים נדרשים לקובץ cdl שמתקבל :

א. יש למחוק את השורות עם pfrelr.

ב. בתחילת הקובץ יש להוסיף :

```
.GLOBAL VSS
.GLOBAL VDD
.include /users/iit/cadence/tsl018d/cdl/tsl18fs120.cdl
.include /users/iit/cadence/tsl018d/cdl/io.cdl
```

ג. יש לתקן את הפינים של כל התאי ה- pads כך שיראו כך :

```
XI16 pt3o01 $PINS VDD=VDD VSS=VSS VDDO=VDDO VSSO=VSSO PAD=net111 I=wire_st
XI5 pc3d01 $PINS VDD=VDD VSS=VSS VDDO=VDDO VSSO=VSSO PAD=net100 CIN=wire_clk
XD31 pc3b01 $PINS VDD=VDD VSS=VSS VDDO=VDDO VSSO=VSSO PAD=D1 OEN=V2 I=D1 CIN=KD
```

```
XPAD_G1 pv0a $PINS VSSO=VSSO VDD=VDD VSS=VSS VDDO=VDDO
XPAD_G3 pv0i $PINS VSSO=VSSO VDD=VDD VSS=VSS VDDO=VDDO
XPAD_I1 pvda $PINS VSSO=VSSO VDD=VDD VSS=VSS VDDO=VDDO
XPAD_I3 pvdi $PINS VSSO=VSSO VDD=VDD VSS=VSS VDDO=VDDO
```

ד. לכל הופעה של תא סטנדרטי יש להוסיף VDD=VDD ו- VSS=VSS כך שהמשפט יראה כך:

```
XU57 inv0d0 $PINS VDD=VDD VSS=VSS ZN=n52 I=n47
```

4.5 הרצת DRC ו- LVS

כל הבדיקות על ה- layout מתבצעות בכלים שמופעלים באמצעות הפקודה virtuoso. ראשית עלינו לבנות את סביבת העבודה של הכלי.

בנה ספריה חדשה בשם cadence למשל:

```
mkdir cadence
```

עבור לספריה חדשה :

```
cd cadence
```

הקפד לעשות תמיד לפני הפעלת הכלים.

עבור טכנולוגיות TOWER 0.18u:

וודא שקובץ ה- cshrc. שלך מכיל את השורות הבאות:

```
source /users/iit/cadence/source_cadence618b
setenv DRCTEMPDIR /tmp/drcusername
```

כאשר username הוא שם החשבון של המשתמש (בדר"כ epxxxx)

ניתן לערוך את הקובץ בעזרת הפקודה:

```
nedit ~/.cshrc &
```

שנה את הקובץ במידת הצורך, שמור את השינויים באמצעות ה-save וסגור את nedit מסודר באמצעות File→Exit . יש לבצע login מחדש על מנת שיחולו השינויים.

העתק את הקובץ הבא לספרית העבודה :

```
cp  /tools/kits/tower/TS18SL_54_2/KIT.cshrc .
```

פתח את הקובץ ושנה את השורה הבא

```
setenv PROJ_ROOT /users/user_name/cadence
```

כל ש- PROJ_ROOT יצביע על ספרית העבודה שלך. בצע את הפקודות הבאות :

```
source KIT.cshrc
echo username > user_list
```

כאשר username מהווה שם החשבון שלך.

```
makeProjectTree Project -flow T18C6DNSL1 -users user_list -cds -ver -assura -pvs
```

כאשר Project הוא שם (כלשהו) שיינתן לפרויקט.

(אין לבצע את הפקודה makeProjectTree יותר מפעם אחת לפרויקט!)

עבודה עם virtuoso

הפעלת הכלי

לאחר מכן, כל פעם שמפעילים את הכלי, יש לבצע את הפקודות הבאות :

```
cd cadence
source KIT.cshrc
cdsprj Project
virtuoso  &
```

ראשית יש להעביר ה- layout לסביבה החדשה

בכל innovus התכנון נשמר בקובץ gds2. בעת יש להעלות את הקובץ לספרייה ב- virtuoso:

- בכלי virtuoso הפעל File->Import->Stream
- הכנס בשדה ה- Input File את שם קובץ ה- gds2 ובשדה Library Name את שם הספרייה project_username או project_master.
- לחץ על More Options. בשדה של ref lib file name רשום:
- /users/iit/cadence/tsl018d/reflib.list

- . לחץ על Translate. הכלי יבקש שם קובץ לשמירת ה- setup רשום שם כלשהו.

תהליך זה יוצר תא בשם של התכנון שלך ומסוג layout בספרייה שלך. פתח חלון Tool->Library Manager על מנת לראות את הספריות והתאים.

חשוב:

1. בדוק שה- pads של VDD וה- VSS מחוברים לקווי האספקה של ה- core. אם הם אינם מחוברים יש לחבר אותם באופן ידני לפני הרצת הבדיקות. ניתן לבצע זאת ב- layout. לאחר בחירת השכבה ואת הרוחב מבצעים את החיווט ובסוף לוחצים על OK ולא על cancel! רצוי להוסיף שמות לקווי האספקה!

2. אם התכנון הוא היררכי, קודם יש לקרוא את קבצי ה- gds2 של כל תתי הבלוקים.

Assura

הבדיקות על ה-layout מתבצעות בכלי בשם Assura שמופיעות מתוך virtuoso:

בדיקת DRC (Design Rule Check)

- צור ספריה בשם /tmp/drcuser כאשר drcuser הוא שם החשבון שלך.
- פתח את ה- layout שיצרת.
- לחץ על Assura->Run DRC.
- בחלון שנפתח, בחר בטכנולוגיה: ts18sl_6M1L (במקום undefined).
- בשדה Switch Names יהיה רשום:

3V 6M1L CHIP OA

- לחץ על OK. לחץ על OK גם בחלון Progress שנפתח.
- בסיום הריצה הכלי ישאל אם ברצונך לראות את הטעויות, לחץ על YES.
- ניתן לראות את הטעויות השונות ע"י לחיצת על החצים בחלון שנפתח.

בדיקת LVS (Layout Vs. Schematic)

בדיקה זו משווה בין ה- Layout לסכמה בכל המישורים:

- התאמת בין שמות הצמתים שקבעתם בשרטוט ה- Layout מול השרטוט הסכמתי.
- התאמה בחיבוריות שבין האלמנטים.
- התאמה בערכי הרכיבים (גדלי הטרנזיסטורים, ערכי הקבלים וכו').
- התאמה במספר האלמנטים וסוגיהם.
- פתח את ה- layout שיצרת.
- לחץ על Assura->Run LVS
- בחלון שנפתח, בחר בטכנולוגיה: ts18sl_6M1L (במקום undefined).
- בשדה Switch Names יהיה רשום:

3V 6M1L CHIP OA

- ודא ששדות ה- Schematic Design source וה- Layout Design Source נכונים.
- Schematic Design source צריך להיות : netlist. לחץ על Add ורשום את שם קובץ ה- cdl (top.cdl).
- Layout Design Source צריך להיות : DFII. וודא שהשדות מכילים את שם התא הנכון.
- מעבר לזה, השתמש בברירות המחדל של הטופס.
- לחץ על OK ושוב על OK על שני החלונות שמופיעים.
- בין שתי ריצות לחץ על Assura->Close Run.
- בסיום הריצה, הכלי שואל אם להיכנס ל- LVS Debug Environment. לחץ על YES.
- באמצעות החלון LVS Debug (תחת View) ניתן לראות את הטעויות.
- אם בוחרים שם בשדה Cell List ניתן ללחוץ על האלמנטים השונים ב- summary ולאחר מכן על open tool כלי שמאפשר הצגת הטעויות על הסכמה ועל ה- layout.
- בחלון LVS Debug Environment תחת View ניתן לראות מידע רב לגבי תוצאות הבדיקה כולל ה- netlist של שני ה- Views.

חשוב : לפעמים הבדיקה נכשלת מסיבות שלא נובעות לשגיאות בתכנון. להלן מספר סיבות אפשריות לכישלון :

1. **בעיה** : שם של BUS ב- layout מופיע עם סוגריים מסוג [], ובסכמה עם סוגריים מסוג <>.
   פתרון : בחלון של assura לחץ על View Additional Functions ואז לחץ על כפתור : Modify changeLabel Function שמאפשר החלפת הסוגריים. לחץ על הכפתור, בשדה Replace Sub Strings רשום "]" בשדה OLD ו- ">" בשדה NEW. לחץ על Add Command to List. חזור על הפעולה עבור "[" ו- "<".
2. בקובץ ה- cdl קיים משפט SUBCKT של הרמה העליונה. במשפט זה, רשומים כל הכניסות והיציאות לתא. כל השמות האלה, חייבים להופיע ב- layout כ- pins במקום המתאים או לחלופין יש למחוק אותם מקובץ ה- cdl.
3. כאשר קיימים pads בתכנון קיימת בעיה בחיבורים למצע. חיבורי המצע של ה- pads מתבצע דרך VSS ושל התאים דרך VSSC. עליך להוסיף שמות לקווים VSSC ו- VDDC ב- layout.

חשוב לשים לב לרווחים!

4. אם Innovus יצר טבעות של קווי VDD ו- VSS על ה- pads יש למחוק אותן.
5. על מנת למנוע שגיאות של "multiple bulk connections" יש לקצר בין VSS ו- VDD בסכמה וב- layout בחלק הפנימי של המעגל. ניתן פשוט להשאיר את טבעות שנבנו ב- innovus בשלב ה – Power Planning->Add Ring.