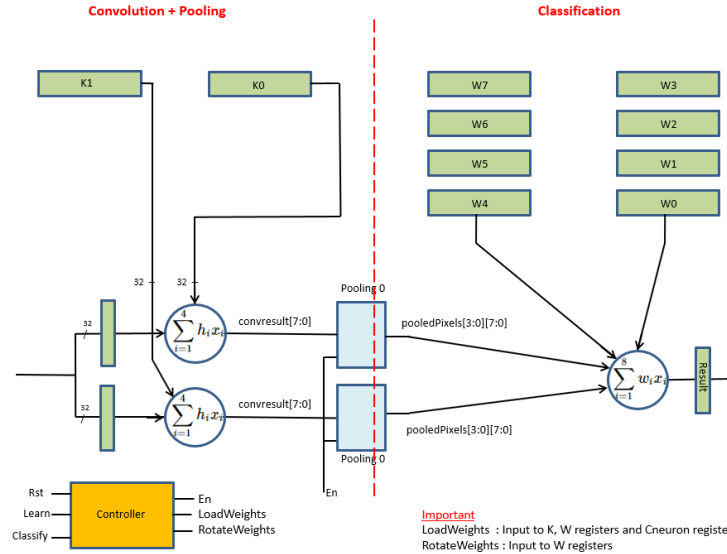


## מעבדה ב VLSI ספרתי - 0450111

הסטודנט ייחשף לכל שלבי הפיתוח של שבב VLSI ספרתי (ASIC) כולל, תכנון, מימוש, סימולציה, ווריקציה מבוססת UVM, סינתזה ומימוש Layout. סביבת הפיתוח מבוססת כלי Cadence ו-Synopsys.

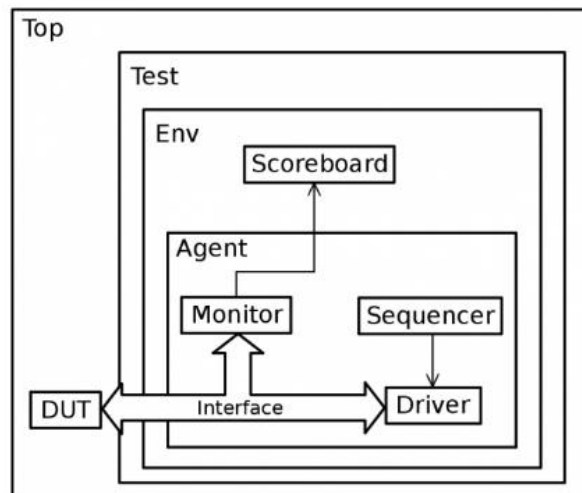
### מפגש I : תכנון מימוש וסימולציה

במהלך הניסוי הסטודנט יכיר מערכת לומדת פשוטה (לזיהוי צורות) שעבורה נתכנן ונממש מאיץ בחומרה. הסטודנט ייחשף לארכיטקטורות השונות ולשיקולים השונים במימוש המאיץ. הוא ילמד כיצד מבצעים את ה-trade-offs הנכונים לקבלת מימוש אופטימלי אשר ימומש בשפת SystemVerilog.



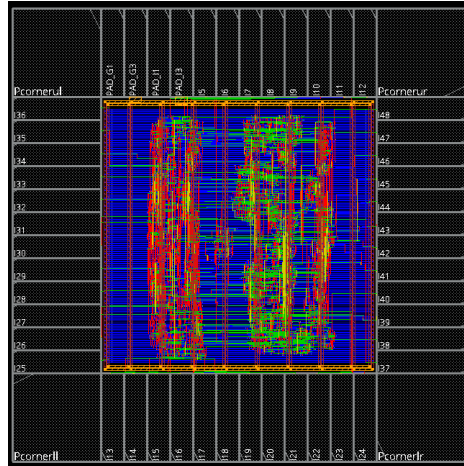
### מפגש II – ווריקציה מבוססת UVM

הדרישות העיקריות של סביבת ווריקציה טובה הן יצירה מהירה ויעילה של כל הבדיקות הדרושות, בדיקה אוטומטית של תוצאות הסימולציה ואנליזה של כיסוי הבדיקות שבוצעו. מתודולוגית ה-UVM מאפשרת לנו לבצע את כל הפעולות הנ"ל בצורה פשוטה ויעילה. הסטודנט יילמד כיצד לבצע פעולות אלה ויפעיל סביבת UVM עבור המאיץ שתוכנן בפגישה הראשונה.



### מפגש III ו-IV – סינתזה ו-Layout

לאחר השלמת התכנון והסימולציות של המעגל נעבור לשלב ה- Backend Design שכולל : סינתזה עם שילוב , Power Grid Design, Floor Planning, Logical Equivalence Checking ,Design For Testability ,Final Route ,Clock Tree Synthesis ,Standard Cell Placement



חשוב: אם לא מספיקים לבצע את כל המשימות של מפגש מסוים, ניתן לסיים אותן בתחילת המפגש הבא. האורך של מפגשים III ו-IV משאיר זמן להשלמות משימות מהמפגשים הקודמים.