



מעבדה ב- VLSI ספרתי - 0450111

מידע כללי

<http://www.ee.technion.ac.il/vlsi/>

[הערות נא לשלוח ל-goel@ee](mailto:goel@ee)

כל הערה תתקבל בברכה!

עדכון אחרון - 17/09/2024 14:22

מסמך זה כתוב בלשון זכר ע"מ להקל על הכתיבה אך מתייחס לנשים ולגברים כאחד. עמכם הסליחה.

מבוא

עם התקדמות הטכנולוגיה והדרישה לעבודה במהירויות גבוהות, קיימות אפליקציות רבות שדורשות ביצועים של זמן אמת. לעתים קרובות, הרצת האלגוריתם על מחשב כללי אינו מאפשר עבודה בזמן אמת. פתרון אפשרי הוא להיעזר במאיצים כגון GPU או GPGPU. יש מקרים רבים שגם פתרון זה אינו מספיק. במקרים אלה, הדרך לשיפור הביצועים (תדר עבודה, צריכת הספק, שטח או כל פרמטר אחר) היא לתכנן ולממש רכיב VLSI ייעודי להרצת האלגוריתם בחומרה. רכיב מסוג זה יכול לשפר זמן ריצה בשלושה סדרי גודל!

הניסוי מתמקד בתכנון חומרה (מאיץ ייעודי) למערכת לומדת. הסטודנט ייחשף לארכיטקטורות השונות ולשיקולים השונים במימוש המאיץ. בסופו של דבר תמומש הארכיטקטורה המתאימה ביותר. היעדים העיקריים של הניסוי הם :

1. התנסות בהבנת ה- **trade-offs** בתהליך פיתוח ASIC כלומר מעגל VLSI ייעודי עבור אלגוריתם נתון.
2. העמקת הידע בשפת **SystemVerilog**.
3. התנסות בכלים לפיתוח מעגלי VLSI של חברת Cadence ו-Synopsys.

דו"ח מכין – הנחיות הגשה:

הפגישה הראשונה אורכה ארבע שעות. לפני הניסוי יש להכין דו"ח מכין בפורמט pdf. יש לצור קובץ ZIP (לא RAR) המכיל את דו"ח המכין ואת קיבצי הקוד שהכנתם ולהעלות אותו ל-Moodle לפני תחילת הניסוי. ב-Moodle תוכל למצוא תבניות עבור כל הקבצים שעליך להכין.

מטרת הפגישה הראשונה:

1. הכרה של המבנה הכללי של מערכת לומדת.
2. תכנון, מימוש וסימולציה של הנוירונים ויתר יחידות הניסוי בשפת SystemVerilog.
3. הבנת ה- **trade-offs** הרבים בתכנון ארכיטקטורת VLSI.
4. תכנון, מימוש וסימולציה של בקר כמכונת מצבים.
5. תכנון, מימוש וסימולציה מערכת הלומדת השלמה לזיהוי צורות.

דרישות הניסוי:

- קריאת חוברות הניסוי בעיון.
- הגשת דו"ח הכנה לניסוי + קוד לפי שאלות מפרק דו"ח הכנה.
- בוחן הכנה לניסוי.
- ביצוע הניסוי על תחנת עבודה.
- הגשת דו"ח סיכום שבועיים לאחר ביצוע חלק ב' של הניסוי.

מסמכים להגשה:

- דו"ח מכין.
- קבצי Systemverilog שהכנתם.
- דו"ח סופי עם תשובות לכל השאלות שנשאלות במהלך הניסוי.