

VLSI - למעבדה

חוברת הדרכה על בנייה ושילוב של זיכרונות

עם Tower 0.18u Design Kit

גואל סמואל

מבוא

לעיתים קרובות יש צורך בזיכרונות RAM בתכנון. להלן הסבר על כיצד לבנות מודל VHDL או Verilog וכיצד לשלב את ה-layout שלו במימוש הסופי.

יש להפעיל את התוכנה ממחשב titan ולשם כך, עליך לבקש מצוות המעבדה חשבון על מחשב זה. כמו כן דרושות הרשאות לעבודה עם רכיבי tower במחשב זה. לאחר קבלת חשבון והרשאות, תוכל להתחבר ל-titan באמצעות הפקודה:

ssh -X titan

בניית מודל ה-VHDL או Verilog

סביבת הכלים מאפשרת בנייה של Dual Port Static RAM (DPRAM) ושל Single Port Static RAM (SPRAM). עבור DPRAM בצע:

```
source /hm/iit/cadence/tower18/source_tower18_dpmem
```

ניתן לראות דפי הנתונים של ה-DPRAM בקובץ:

```
/jup/tower/PDK_TS18SL/RD130_Dual_Port_SRAM_0_18um_2003_12/ts18/v3.0/doc/ds_ts18rd130.pdf
```

שניתן לפתוח בעזרת "acroread".

עבור SPRAM בצע:

```
source /hm/iit/cadence/tower18/source_tower18_spmem
```

ניתן לראות דפי הנתונים של ה-SPRAM בקובץ:

```
/jup/tower/PDK_TS18SL/RS160_Single_Port_SRAM_2003_12/ts18/v3.0/doc/ds_ts18rs160.pdf
```

עבור לספרייה בה יתבצע התכנון. הקלד:

```
RapidCompile ts18rd130h (ts18rs160h for SPRAM)
```

```
RapidCompiler> GetDefault
```

```
Input name of the parameter cell: (rd3_1) > mymem (select a name)
```

```
RapidCompiler> SetParameter
```

```
Value for WORD_WIDTH (4) > Enter WORD_WIDTH
```

```
Value for WORD_DEPTH (32) > Enter WORD_DEPTH
```

Value for IO_SEPARATE (false)> **true**
Value for MULT_BANKS (false)>
Value for NUMBER_OF_BANKS (2)>
Value for BANK_NUMBER (1)<
Value for CLOCK_POLARITY (false)>
Value for OUTPUT_DRIVE (2X)>
Value for SELECT_BIT_WRITE (false)>
Value for TOP_METAL_LAYER (Metal6) > **Metal6**
Value for LAST_FILLING_LAYER (OFF)>
Value for SYN_OUTPUT (Library)>
Value for cifcal_layer_file)>

RapidCompiler> **compile VHDL-Model**
RapidCompiler> **compile Verilog-Model**
RapidCompiler> **compile Synopsys-Model**
RapidCompiler> **compile GDSII**

תהליך זה יוצר שלשה קבצי VHDL או Verilog (*.vhd או *.v) הנחוצים לביצוע סימולציה של ה-RAM. הפקודה האחרונה, יוצרת קובץ הדרוש לבניית ה- layout (*.gdsii). נוצר גם קובץ *.lib.

חשוב : כעת מומלץ להתנתק מ-titan (בעזרת logout) ולחזור ל-Linux. ניתן להעתיק את כל הקבצים שיצרת מ-titan ל-linux בעזרת הפקודה:

```
cp /hp/epabcd/file /users/epabcd/file
```

כאשר epabcd זה שם החשבון שלך ו-file שם הקובץ שברצונך להעתיק.

שילוב הזיכרון ב- layout

על מנת לשלב RAM או ROM ב- layout נדרש קובץ LEF המתאר את מימדי התא ואת הממשק שלו לסביבה.

יצירת קובץ LEF:

אם זאת הפעם הראשונה בנה ספרייה חדשה בשם cadence למשל:

```
mkdir cadence
```

עבור לספרייה חדשה :

```
cd cadence
```

באמצעות icfb (5.1.41)

- יש להעתיק את הקבצים הבאים :

```
cp /hm/iit/cadence/tower18/.cdsplotinit .
```

```
cp /hm/iit/cadence/tower18/.cdsinit .
```

```
cp /hm/iit/cadence/tower18/cds.lib .
```

```
cp /hm/iit/cadence/tower18/.cdsenv ~
```

- הפעל את icfb.

- צור ספרייה חדשה באמצעות File→New→Library. בחר שם לספרייה וסמן Compile a new techfile.

- לחץ OK. בחלון שנפתח רשום את קובץ הטכנולוגיה /hm/iit/cadence/tower18/abs.tf לחץ OK.

- קרא את קובץ ה-gdsII לתוך הספרייה שיצרת - בחר File→Import→Stream, בחלון שנפתח בשדה ה-Input File רשום את שם קובץ ה-gdsII (קובץ עם סיומת gdsii). בשדה ה-Library Name רשום את שם הספרייה שיצרת. לחץ OK. המתן לסיום ההמרה.
- פתח את תא הזיכרון באמצעות File→Open, בחר את הספרייה שיצרת ב-Library Name. חפש את רכיב הזכרון ברשימת ה-Cell Names. ב-View Name בחר layout. לחץ OK.
- בחלון ה-layout בחר ב-Tool→Abstract Editor
- בחר ב-Abstract→Create Abstract. יפתח חלון חדש שבו תתבצע קריאה של תא הזיכרון.
- הרץ Flow→Pins ו-Run.
- הרץ Flow→Extract ו-Run.
- הרץ Flow→Abstract ו-Run.
- ליצירת קובץ ה-LEF הפעל File→Export→Lef

באמצעות Virtuoso (6.1.3)

- יש להעתיק את הקבצים הבאים :

```
cp /tools/kits/tower/tower18_6M_OA/iit/cds.lib .
cp /tools/kits/tower/tower18_6M_OA/iit/lib.defs .
cp /tools/kits/tower/tower18_6M_OA/iit.cdsinit .
```

- הפעל את Virtuoso
- צור ספרייה חדשה באמצעות File→New→Library. בחר שם לספרייה וסמן Compile an ASCII technology file. לחץ OK. בחלון שנפתח רשום את קובץ הטכנולוגיה /hm/iit/cadence/tower18/abs.tf. לחץ OK.
- כעת בצע Import לקובץ ה-gdsII שיצרת באמצעות File→Import→Stream, בשדה ה-Stream file רשום את שם קובץ ה-gdsII. ב-Library בחר את שם הספרייה שיצרת. לסיום לחץ על Translate, הכלי יבצע המרה של פורמט ה-gdsII לפורמט של Virtuoso.
- פתח את תא הזיכרון באמצעות File→Open, בחר את הספרייה שיצרת ב-Library. חפש את רכיב הזכרון ברשימת ה-Cells. ב-View בחר layout. לחץ OK.
- בחלון ה-Undefined Packets לחץ Yes.
- בחלון Update Connectivity Reference לחץ Cancel.
- בחלון ה-layout בחר Tools→Abstract Generation, בחלון שנפתח לחץ על Start. במידה וחלון ה-Undefined Packets נפתח, לחץ Yes.
- כעת בחלון הראשי (CIW) בחר File→Export→LEF. בחר שם לקובץ לדוגמא mem.lef. ב-Library Name בחר את הספרייה שיצרת. ב-Output Cell בחר את תא הזכרון, ב-Output View בחר את כל ה-Views המתחילים ב-abstract. לחץ OK.

תהליך זה יוצר abstract view של התא הנחוץ לביצוע LVS.
הערה : התהליך יוצר קובץ עם סיומת lef עבור תא הזיכרון. קובץ זה מכיל נתוני תזמון של תא הזיכרון עבור כלי ה-Encounter בו תעזרו בשלב יותר מתקדם של הפרויקט.