המעבדה ל - VLSI

חוברת הדרכה על כלי ה- Specman

גואל סמואל

כללי

ראשית, עליך לוודא שהשורה הבאה מופיעה בקובץ **.cshrc** :

source /users/iit/cadence/source_cadence01lnx

מטרת החוברת הזאת היא להסביר כיצד להפעיל את כלי הווריפיקציה של Cadence בתצורות שונות.
למעוניינים בהסברים על שפת "e", מומלץ מאד לקרוא את החוברת של ניסוי המעבדה בווריפיקציה :

http://webee.technion.ac.il/vlsi/Upload/Experiments/Manuals/ver_expt.pdf

החוברת מכילה הסברים רבים ודוגמאות.

בהסבר זה נעשה שימוש בשני קבצים :
- xor.v : קובץ verilog הממש שער xor עם flipflop.
- xor_verify.e : קובץ שמגדיר וממש את ה- test בשפת e.

ניתן להעתיק את הקבצים מ- /users/iit/cadence/specman/verilog.

Specman הוא הכלי המבצע תוכניות הכתובות בשפת "e".

1. הפעלת Specman עם DUT ממומש בשפת Verilog

הרץ את הפקודה:

irun -access +wrc –gui xor.v xor_verify.e

מכיוון שמופיע גם קובץ verilog וגם קובץ e בשורת הפקודה, הכלי יפעיל גם את הסימולטור של Verilog וגם הכלי specman.

- יופיעו שני חלונות.
- להצגת צורות הגל : סמן את היחידה xor_try בחלון Design Browser. בצד ימין תופיע רשימת הכניסות והיציאות של היחידה. סמן אותם ולחץ על ה- icon של צורות הגל שמופיע בחלק העליון של החלון.
- הרצת הסימולציה : לחץ על החץ
- ניתן לראות את הפלט של specman בלשונית specman של חלון ה- console.
- ניתן להגריל כניסות נוספות ע"י Verification->Test (or Test with Random Seed) בחלון
- ה- console ולהרצת הסימולציה, לחץ שוב החץ
- ניתן לסגור את SimVision עם File->Exit SimVision.

2. הפעלת Specman עם DUT ממומש בשפת VHDL

א. שנה את קובץ ה- cshrc. כך שהוא יכיל את הפקודות:
source /users/iit/cadence/source_cadence01lnx

ב. בספריה המכילה את קובץ ה- VHDL יש לצור שתי ספריות worklib ו- temp_lib ואת הקבצים cds.lib ו- hdl.var:

```
mkdir worklib  temp_lib
cp /users/iit/cadence/specman/vhdl/cds.lib01 cds.lib
cp /users/iit/cadence/specman/vhdl/hdl.var hdl.var
```

בהסבר זה נעשה שימוש בשני קבצים :
- xor.vhd : קובץ VHDL המממש שער xor עם flipflop.
- xor_verify.e : קובץ שמגדיר ומממש את ה- test בשפת e.
ניתן להעתיק את הקבצים מ- /users/iit/cadence/specman/vhdl.

ג. צור קובץ stub. יש לבצע פקודה זאת כל פעם שקובץ ה- VHDL משתנה:
```
specman -commands "write stubs -ncvhdl; exit";
```
ד. קמפל את הקובץ :
```
ncvhdl -messages specman_nc.vhd -work worklib -HDLVAR hdl.var -CDSLIB cds.lib
```
ה. קמפל את קובץ ה- VHDL לדוגמא xor.vhd:
```
ncvhdl xor.vhd -MESSAGES -WORK worklib -HDLVAR ./hdl.var -CDSLIB ./cds.lib
```
ו. בצע elaborate לתכנון :
```
ncelab -messages worklib.xor_try:arc_xor_try -access +rwc -HDLVAR \
hdl.var
```
ז. קבע את משתנה הסביבה CDS_INST_DIR:
```
setenv CDS_INST_DIR  /tools/cadence01/LDV/INCISIV_9.2.021/IFV
```
ח. צור את קובץ הרצה ncvhdl_specman:
```
sn_compile.sh -sim ncvhdl
```
- לפני הרצת הבדיקה ברור שיש להכין את הקובץ שמגדיר ומממש את ה- test בשפת e. דוגמא לקובץ כזה הוא : xor_verify.e.

ט. מומלץ להריץ את הבדיקה עם ה- GUI של specview ושל הסימולטור:
```
specrun ./ncvhdl_specman -gui -tcl -STACKSIZE 1000000 xor_try -HDLVAR \
hdl.var
```
- יופיעו שני חלונות.
- להצגת צורות הגל : סמן את היחידה ב worklib.xor_try:(arc_xor_try) חלון Design Browser. בצד ימין תופיע רשימת הכניסות והיציאות של היחידה. סמן אותם ולחץ על ה- icon של צורות הגל שמופיע בחלק העליון של החלון.
- העבר את הפיקוד ל- specman ע"י לחיצה על לשונית ה- specman בחלון SimVision:Console
- בחלון specman לחץ על Verification->Load וקרא את קובץ ה- test (לדוגמא xor_verify.e)
- לחץ על הכפתור Verification->Test (or Test with Random Seed).
- הרצת הסימולציה : לחץ על החץ
- ניתן לראות את הפלט של specman בלשונית specman של חלון ה- console.
- ניתן להגריל כניסות נוספות ע"י Verification->Test (or Test with Random Seed) שוב בחלון ה- console ולהרצת הסימולציה. לחץ שוב החץ

ניתן לסגור את SimVision עם File->Exit SimVision.