

המעבדה ל - VLSI

חוברת הדרכה על בניית Layout עם הכלי Innovus 15.2 עם Tower 0.18u Design Kit

גואל סמואל

הקדמה

התחברות ממחשבי Linux-PC

זאת הדרך המומלצת לעבודה. פשוט יש לבצע login לתחילת העבודה. ניתן לפתוח חלון טרמינל באמצעות Applications→System Tools→Terminal

התחברות ראשונית ממחשבי Windows-PC

יש להתחבר באמצעות GoGlobal - www.technion.ac.il/GG

רקע

כלי ה-Innovus מאפשר תכנון ומימוש של המסכות מעגל VLSI באופן אוטומטי. Innovus הוא כלי מתוחכם מאד ומסוגל לבצע:

- timing analysis
- physical synthesis
- clock tree synthesis
- power analysis
- voltage (IR) drop analysis
- signal integrity analysis
- crosstalk analysis

מעבר לאנליזות השונות הכלי מסוגל לבצע תיקונים אוטומטיים ב-layout לתיקון התקלות שנתגלו. חשוב לכוון את הכלי בצורה נכונה על מנת לקבל תכנון אופטימאלי. באופן כללי ניתן לומר שקיימים שני שלבים עיקריים של בניית layout אוטומטי למעגל. ראשית מבצעים את תכנון ה-floorplan כלומר מיקום הבלוקים בתכנון ומיקום הכניסות/יציאות שלהם, בשלב שני מבצעים את מיקום תאי הספרייה והחיווט שלהם בכל תת בלוק ובין כל תתי הבלוקים.

הכלי מאפשר מימוש מהיר מאד של "אב טיפוס" של ה-layout על מנת לקבל הערכה טובה של מיקום התאים ואורך החוטים, מידע שניתן להזין לכלי הסינתזה ותזמון כך שניתן יהיה לקבל מעגל העומד בדרישות מהר יותר. ההסבר להלן מתאר מימוש של layout סופי ולא רק "אב טיפוס".

בתכנונים גדולים מומלץ לבנות את ה-layout בצורה היררכית. ברוב הפרויקטים אין צורך לעבוד בשיטה ההיררכית. שיטת העבודה כאן תהיה top->down כלומר ראשית יבנה ה-floorplan של כל השבב כולל חלוקה לתת בלוקים. לאחר מכן ימומש של תת בלוק בנפרד. בשלב האחרון יבוצעו הפעולות הנדרשות לחיבור הבלוקים ביחד. **אם אתה בכל זאת שוקל לעבוד היררכית, עליך להתייעץ עם צוות המעבדה.**

ראשית נתאר מימוש layout של מעגל שכולו מבוצע ברמת היררכיה יחידה. תיאור של שימוש בכלי האנליזה השונים יובא בהמשך. באופן כללי ניתן לומר שבניית layout שטוח מורכב מהשלבים הבאים:

1. קריאת קבצי הטכנולוגיה
2. קריאת קובץ ה- verilog (ברמת שערים כלומר אחרי סינתזה) של המעגל
3. אתחול והגדרת ה- Floorplan הראשוני
4. מיקום התאים
5. מימוש רשת ההספקה
6. חיווט התכנון

הגדרת סביבת העבודה

לפני תחילת העבודה יש ליצור ספרייה חדשה ולהעתיק קבצי הגדרות. צור ספרייה חדשה:

```
mkdir innovus
cd innovus
```

הערה : נבחר בשם velocity מכיוון שבגרסה זאת הכלי מופעל ע"י הרצת בפקודה: velocity.

העתק את הקובץ verilog המסונתז לספרייה החדשה. יש להעתיק גם את הקבצים הבאים:

```
cp /users/iit/cadence/tsl018c/env.globals .
cp /users/iit/cadence/tsl018c/cds.lib .
cp /users/iit/cadence/tsl018c/mmmc.view .
cp /users/iit/cadence/tsl018c/top.sdc .
```

הכנת הקובץ המסונתז

הקובץ המסונתז אינו מכיל pads הנחוצים לחיבור של השבב ל- pins של האריזה. לפני תחילת העבודה על ה- layout, יש להוסיף את ה- pads לקובץ. ניתן לעשות זאת באופן ידני או באמצעות סקריפט אשר יעדכן את הקובץ באופן אוטומטי. לשם בניית הקובץ יש להריץ את הסקריפט הבא:

```
/users/iit/cadence/tsl018c/gentop.pl verilog_file_name top_module_name
: לדוגמא
```

```
/users/iit/cadence/tsl018c/gentop.pl decoder.v decoder
```

בסיום הריצה יתקבלו שני קבצים:

```
top.v
top.io
```

בקובץ ה- top.v נמצא התכנון המעודכן כולל ה- pads. יש לוודא כי הסקריפט פעל בהצלחה, יש לפתוח את קובץ ה- top.v באמצעות העורך:

```
nedit top.v
```

ולוודא כי בשורות הראשונות מופיעים חיווטים:

```
module top();
wire wire1;
wire wire2;
...
```

במידה ומופיעים רק שני חיווטים:

```
module top();
wire net1000;
wire net1001;
```

הסקריפט לא רץ כראוי, יש לוודא כי שם ה- top_module_name הוקלד כראוי, מומלץ לעיין בקובץ המסונתז ולוודא כי זהו אכן השם הנכון.

ראשית, יש לבצע תיקון קטן לקובץ Verilog שנוצר. ב- top.v יופיעו השורות הבאות:

```

pv0a PAD_G1 ( .VSSO (VSSO) );
pv0i PAD_G2 ( .VSS (VSS) );
pv0c PAD_G3 ( .VSSC (VSS) );
pvda PAD_I1 ( .VDDO (VDDO) );
pvdi PAD_I2 ( .VDD (VDD) );
pvdc PAD_I3 ( .VDDC (VDD) );

```

יש לשנות אותן ל-

```

pv0a PAD_G1 ( ) ;
pv0c PAD_G3 ( .VSSC (VSS) );
pvda PAD_I1 ( ) ;
pvdc PAD_I3 ( .VDDC (VDD) );

```

חשוב : בעקרון נדרש להשתמש ב- pv0i וב- pvdi ולא כפי שצוין לעיל pv0c ו- pvdc. קיימת בעיה ש- Innovus לא מחבר את pv0i ואת pvdi לרשתות ההספקה ולכן בשלב זה נשתמש ב- pv0c ו- pvdc ונחליף אותן בהמשך הדרך.

הערה- לפעמים לאחר ביצוע הסינתזה, שם ה- top module משתנה, יש להקפיד על שמות זהים, במידה והתווסף סימן '\' לשם ה- module יש להסירו מהקובץ המסונתז על מנת שהסקריפט יעבוד כראוי.

דוגמא של קובץ verilog שמכיל גם את התכנון וגם א ה- pads ניתן למצוא ב- /users/iit/cadence/tsl018b/top.v שים לב ל- pads של קווי ההספקה ושל פינות ה- layout.

*שילוב זכרונות RAM (חלק א')

את השלב הבא יש לבצע במידה וזיכרונות ה-RAM של הפרויקט נוצרו באמצעות הכלי של tower ובאמצעות המדריך Using Tower 0.18u RAM memories המופיע באתר. במידה ויש לכם זכרונות אחרים ניתן לדלג על שלב זה. כאמור עבור ה- Module RAM לא בוצעה סינתזה. יש לוודא שקובץ ה- top.v מכיל הגדרה ריקה של הזיכרון לדוגמא :

```

module mymem ( A, CEB, WEB,
               OEB, CSB, I, O);
  input [7:0] A ;
  input CEB ;
  input WEB ;
  input OEB ;
  input CSB ;
  input [31:0] I ;
  output [31:0] O ;
endmodule

```

כאשר mymem הוא שם הזיכרון כפי שמופיע בקובץ ה- lef בשורת ה- macro (זהה גם לשם שנבחר בעת היצירה של הזיכרון עם הכלי). יתכן שהסינתזה פירקה את ה- buses לקווים בודדים.

הפעלת כלי Innovus

הפעל את הכלי בעזרת הפקודה : innovus (מתוך הספרייה שיצרת). יפתח חלון גרפי, בחלון המקורי ניתן לספק פקודות כתובות לכלי. ראשית נקרא את התכנון. פעולת הקריאה גם טוענת את קבצי הטכנולוגיה.

לחץ על Import Design → File. בחלון שנפתח לחץ על load וטען את קובץ env.globals, הקובץ מגדיר את הדברים הבאים :

- top.v זהו הקובץ שנוצר באמצעות gentop והגדרת ה- top module שלו.
 - קבצי tlf, lef המכילים אפיון של רכיבי tower (תזמונים, הספקים...).

- קובץ אילוצי תזמון top.sdc. קובץ זה נקרא ע"י קובץ ה- mmmc.view.
- מיקום קובץ ה-IO FILE לדוגמא- המגדיר את מיקום ה-pads. (קובץ זה גם הוא נוצר באמצעות gentop)
- בלשונית ה-advanced, הגדרות מתחי ההספקה ב-Power (VDD VDDC VDDO ו- VSS VSSC VSSO).
לחץ על OK.

- חשוב:** הכלי מאפשר הצגת התכנון בשלושה ייצוגים שונים:
- א. Floorplan View : מציג מיקום הבלוקים
 - ב. Amoeba (placement) View : מציג מיקום התאים הבסיסיים
 - ג. Physical View : מציג את כל הפרטים של המימוש



ניתן לעבור בין הייצוגים ע"י לחיצה על שלשת הכפתורים במסגרת view בצד ימין:

שמירת התכנון

ניתן לשמור את העבודה בכל שלב בעזרת הפקודה: Design → Save Design. אחרי הפעלת הכלי מחדש ניתן להעלות את התכנון מחדש בעזרת: Design → Restore Design.

*שילוב זיכרונות RAM (חלק ב')

שילוב זיכרונות RAM יש לבצע במידה והם נוצרו באמצעות הכלי של tower ובאמצעות המדריך Using Tower 0.18u RAM memories המופיע באתר. במידה ויש לכם זיכרונות אחרים ניתן לדלג על שלב זה.

1. עליך לטעון את ה-LEF file של הזיכרון. הוסף את שם ה-LEF file של ה-RAM בשדה ה-LEF File בחלון ה-Import.
2. בתהליך יצירת ה-RAM נוצרים שני קבצים בשם tsl18_memory_typ.lib ו- mymem_typ.lib. צריך לצור קובץ חדש בשם mem_typ.lib על ידי הוספת התוכן של mymem_typ.lib לקובץ tsl18_memory_typ.lib בדיוק לפני השורה האחרונה. את mem_typ.lib יש להוסיף לשדה של ה-Timing Libraries.

הערות:

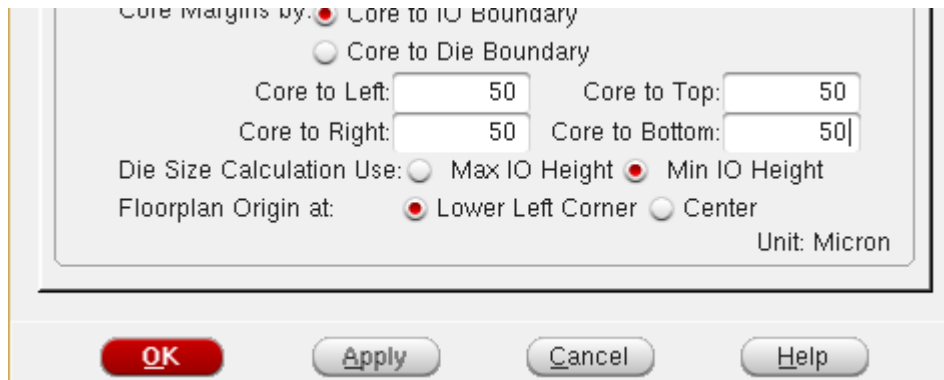
1. לחיצה על save יוצרת קובץ בשם design_globals כאשר design הוא שם התכנון. סביר להניח שיהיה צורך לחזור על טעינת התכנון מספר פעמים. בפעם הבאה שמבצעים Design → Import ניתן ללחוץ על הכפתור load על מנת להעלות את התצורה השמורה ב- design_globals ובכך לחסוך מילוי כל שדות הטופס.
 2. הקובץ innovus.cmdN (N מספר שלם) מכיל עותק של כל הפקודות שביצעת. ניתן להעתיק את הפקודות לקובץ scriptfile. אם יש צורך בביצוע הפקודות פעם נוספת, ניתן לעשות זאת בעזרת:
source scriptfile
- script שאתם מתבקשים להריץ.** מומלץ לעיין בכל קובץ
3. כל פקודה ידנית (כגון פקודת source) מריצים בחלון ה- unix (כלומר ה- terminal) שדרכו הופעל הכלי.
 4. בכל חלון אין לשנות את מצב הכפתורים והשדות, אלא אם צוין אחרת.

לטעינה לחץ על OK. עד כאן זכרונות.

הגדרת ה- Floorplan

ראשית נקבע את הגודל של הסריג. לחץ על :

- כעת יש להגדיר את צורת ה-Floorplan בעזרת לחיצה על Floorplan→Specify. בתפריט זה ניתן להגדיר את המאפיינים של ה-Floorplan :
- א. יש לשנות את המרחק בין הליבה (core) ל-I/O pads – במרכז התפריט וודא כי Core to IO Boundary מסומן. שנה את ערכי ארבע השדות "Core to..." ל-100. (ראה תמונה) ב.



- ג. הגדרת גודל השבב: יש לעבוד עם גודל שבב שנקבע ע"י ברירת המחדל. אם יסתבר שהגודל לא מתאים, ניתן לשנותו בעזרת השדות Die Size by Width Height.
- ד. חשוב מאוד: פתח את הטופס של FloorPlan→Specify שוב. וודא שמימדי השבב הם כפולות של 0.01. אם זה לא מתקיים לחץ על Die Size ושנה את גודל השבב לכפולה של 0.01 הקרובה ביותר לגודל שקיבלת.

Design Browser

כלי זה מאפשר חיפוש ובחירה של תאים ו/או רשתות. פתח Design Browser→Tools, בחר את האובייקט הרצוי ולחץ על הכפתור Zoom Selected (עיגול עם מלבן באמצע).

הגדרת ההספקות של התאים

יש להגדיר לכלי איזה pin של כל תא יחובר לאספקות. פעולה זאת מבוצעת בעזרת הפקודה Power → Connect Global Nets. עבור VDD רשום VDD בשדות Pin Names ו-To Global Net ולחץ על הכפתור Add to List. לחץ על apply. חזור על הפעולה עבור כל אחד מהאספקות: VSSC VSS VDDC VDD.

כעת מחק את הכל משדה ה-Pins, לחץ על Tie High, רשום VDD בשדה - To Global Net ולחץ על הכפתור Add to List. לחץ על apply. מחק את הכל משדות ה-Instance Basename ו-Pin Names, לחץ על Tie Low, רשום VSS בשדה - To Global Net ולחץ על הכפתור Add to List. לחץ על apply ולאחר מכן על close. הרצת הקובץ :

source /users/iit/cadence/tsl018c/glnets.src

מבצעת זאת באופן אוטומטי.

הצמדת ה- pads ל-grid

בחר את כל ה-pads ובצע :

snapFPlanIO -userGrid


השלמת מסגרת ה- iopads

יש למלא את הרווחים בתאי מילוי. בצע זאת בעזרת הפקודה:

source /users/iit/cadence/tsl018c/iofill.src

*מיקום תאי RAM (שלב ג')

אם התכנון לא מכיל תאי RAM עבור לשלב הבא.

 בצד בחר את התא (בד"כ הוא נמצא בצד ימין למטה). לחץ על ה- icon של פקודת move (בצד שמאל למעלה). לחץ על התא והזז אותו למקום הרצוי. יש להשאיר מקום פנוי מסביב לתא עבור החיווט- בחר את התא ולחץ על Floorplan→Edit Halos. שנה את כל האפסים ל- 30 ולחץ על O.K. פעולה זאת מונעת מיקום תאים אחרים בתוך של 30 מיקרון מסביב לתא.

הגדרת רשת האספקה

ניתן לממש את רשת האספקות בעזרת שתי פקודות:

א. Power→Power Planning→Add Rings

ב. Power→Power Planning→Add Stripes

בעזרת Power→Power Planning→Add Rings הוסף טבעות אספקה סביב כל בלוק או סביב כל הליבה. בחלון שנפתח, הגדר איזה טבעות רצויות ובוחר:

- בחר ב- nets : VDD ו-VSS בלבד.

- הצלעות M5 : left,right

- הצלעות TOP_M : top,bottom

- רוחב הפס : 6

- מרחק בין הפסים : 1.8

- ליד offset בחר ב- Centre of Channel.

בסוף לחץ על apply.

בעזרת Power->Power Planning->Add Stripes ניתן להוסיף רצועות נוספות של קווי האספקה. השלם את הטופס באופן שתואם את הטופס של הטבעות:

- בחר ב- nets : VDD ו-VSS בלבד.

- הצלעות האנכיות : M5

- הצלעות האופקיות : TOP_M

- בדרך כלל נגדיר רק צלעות אנכיות או צלעות אופקיות

- רוחב הפס : 6

- מרחק בין הפסים : 1.8

- ב- X from left ו-X from right רשום : 90

- לחץ על כפתור ה- Advanced ובוחר את האופציות:

- Omit Stripes inside block rings ו-

- Omit stripes over selected blocks/domains (קודם עליך לבחור את כל הבלוקים –

למשל תאי RAM – שלא אמורים להיות מכוסים בקווי האספקה)

לחץ על apply.

ניתן לבצע את הפעולות הנ"ל עם ה- script :

source /users/iit/cadence/tsl018c/power.src

מיקום התאים

בשלב זה נרצה למקם את התאים. על מנת לגרום ל- Innovus למקם תאים תוך כדי אופטימיזציה בתזמון הכללי יש לספק את האילוצים המתאימים. למיקום התאים בתנאים אלה הרץ :

source /users/iit/cadence/tsl018c/place.src

ניתן לבצע רק מיקום בעזרת פקודות התפריט :

Place→Specify→Placement Blockage

בחלון שנתפתח סמן את כל המתכות. לחץ על OK. כעת בצע מיקום של התאים בעזרת הפקודה :

Place→Standard Cells

לחץ על OK בחלון שנפתח. התאים אינם מכסים את השטח באופן מלא.

עץ שעון מאוזן – Clock Tree Synthesis (CTS)

להלן דוגמא של רצף הפקודות שממשות על שעון. יש להתאים את הפקודות שמימוש שלכם. יש

לוודא שה-text באדום מתאים לתכנון :

```
create_ccopt_clock_tree -name top -source I5/CIN
set_ccopt_mode -cts_inverter_cells "invbd2 invbd4 invbd7 invbda invbdf \
invbdk" -cts_target_skew 0.2 -cts_target_slew 0.2
set_ccopt_mode -cts_buffer_cells {bufbd1 bufbd2 bufbd3 bufbd4 bufbd7}
set_ccopt_property target_max_trans 150ps
set_ccopt_property target_skew 0.2
create_route_type -name RT_trunk_leaf -top_preferred_layer M4 - \
bottom_preferred_layer M3 -preferred_routing_layer_effort high
set_ccopt_property route_type RT_trunk_leaf -net_type leaf
set_ccopt_property route_type RT_trunk_leaf -net_type trunk
set_ccopt_mode -integration native
ccopt_design -cts
```

ניתן למצוא את הפקודות (+ פקודות אופטימיזציה נוספות) בקובץ :

/users/iit/cadence/tsl018c/ccopt.src

הערות :

- במקרה זה יש להעתיק את הקובץ ולתקן את העותק המקומי.
- את העותק המקומי מרצים בעזרת :
 - source ccopt.src
- ראה הסבר על מבנה של הפקודות השונות ב-manual של הכלי.
- "י" מציינ שהשורה ממשיכה לשורה הבאה.
- יש להריץ CTS לפני הכנסת תאי המילוי.
- CTS יוצר מבנה חדש. ניתן לשמור את קובץ ה- Verilog החדש.
- ניתן לראות את העץ בעזרת : Clock->CCopt Clock Tree Debugger.

מילוי הרווחים

יש למלא את הרווחים בתאי מילוי. בצע זאת בעזרת הפקודה :

source /users/iit/cadence/tsl018c/fill.src

ההנחה כאן, היא שהתכנון מכיל תאים סטנדרטיים בלבד. הסבר עבור מקרים אחרים יובא בהמשך.

חיווט קווי האספקה

לחץ על Route→Special Route. חשוב : כבה את הכפתור של ה- pad_rings. לחץ על OK.

חיווט התכנון

ניתן לבצע את החיווט בעזרת Route→Nanoroute→Route. לביצוע חיווט מלא של התכנון בחר באופציות Global Route ו- Detail Route. גם הפעם נבצע את החיווט בעזרת קובץ שגם מכיל פקודות אופטימיזציה נוספות.

source /users/iit/cadence/tsl018c/route.src

אנליזת הספק

- ניתן לבצע את אנליזת ההספק בכמה שיטות :
- אנליזה סטטית : כל צרכן ממודל כמקור זרם קבוע
 - אנליזה דינמית : כל צרכן ממודל כמקור זרם משתנה
 - o ניתן להריץ אנליזה זאת עם וגם ללא ווקטורים.

אנליזת הספק סטטית

ב- Set Power Analysis->Set Power Analysis Mode Power->Set Power Analysis בחר ב-static ולחץ על OK.
ב- Run Power Analysis->Run Power Analysis Power->Set Power Analysis הכנס מספר מתאים ל-Flop Activity ולחץ על OK. בחלון ה-terminal תתקבל התוצאה. התוצאות תשמרנה בספרייה שצינת בשדה Run Directory בחלון הקודם.

אנליזת הספק דינמית (לבצע רק בהוראה מפורשת של המנחה)

ההסבר כאן יתאר רק אנליזת הספק דינמית ללא ווקטורים.
ב- Set Power Analysis->Set Power Analysis Mode Power->Set Power Analysis בחר ב-dynamic ו-
vectorless . חשוב גם להכניס את המיקום של ה-Power Grid Libraries :
/tools/kits/tower/PDK_TS18SL/iit/tower_allcells/fast_allcells.cl
ולחץ על OK. ב- Run Power Analysis->Run Power Analysis Power->Set Power Analysis הכנס מספר מתאים ל-Flop Activity ולחץ על OK. התוצאות תשמרנה בספרייה שצינת בשדה Run Directory בחלון הקודם. ניתן לראות את התוצאות בספרייה זאת עם :
Power->Report->Dynamic Waveforms . בחלון שנפתח בחר ב :
א. Power (Current) Waveforms
ב. בשדה State Directory בחר בספרייה שצינת בשדה Run Directory בחלון הרצה.
ג. לחץ על Add ובחר הקובץ dynamic_generalVDD.ptiavg
ד. בשדה Composite Waveform בחר ב- Total Current
ה. לחץ על Plot

אנליזת IR Drop - Rail Analysis

לקווי המתכת שמספקים VDD ו-VSS למעגל יש התנגדות מסוימת. התנגדות זאת גורמת למפל מתח לאורך הקו וכתוצאה מזה, המעגלים אינם מקבלים VDD מלא ו/או מתח 0 נקי בקו ה-VSS. תופעה זאת נקראת IR Drop סטטי. בנוסף לכך לקווים המוליכים את ההספקות מהאריזה אל תוך השבב השראות לא זניחה. שינויים בזרם בתדרים גבוהים גם יגרמו למפל מתח הנקרא IR Drop דינמי.

הכלי velocity מאפשר חישוב של IR Drop או Rail Analysis סטטי ודינמי. על מנת לעשות זאת יש צורך במידע מדויק על צריכת הספק סטטי ודינמי של המעגל עצמו. לפני ביצוע Rail Analysis, ראשית יש לבצע את אנליזת ההספק המתאימה כפי שהוסבר לעיל. **עליך לבצע Rail Analysis רק בהוראה מפורשת של המנחה.** הסבר מפורט על ביצוע Rail Analysis ניתן לקבל מצוות המעבדה. חובה לבצע **Early Rail Analysis**.

Early Rail Analysis

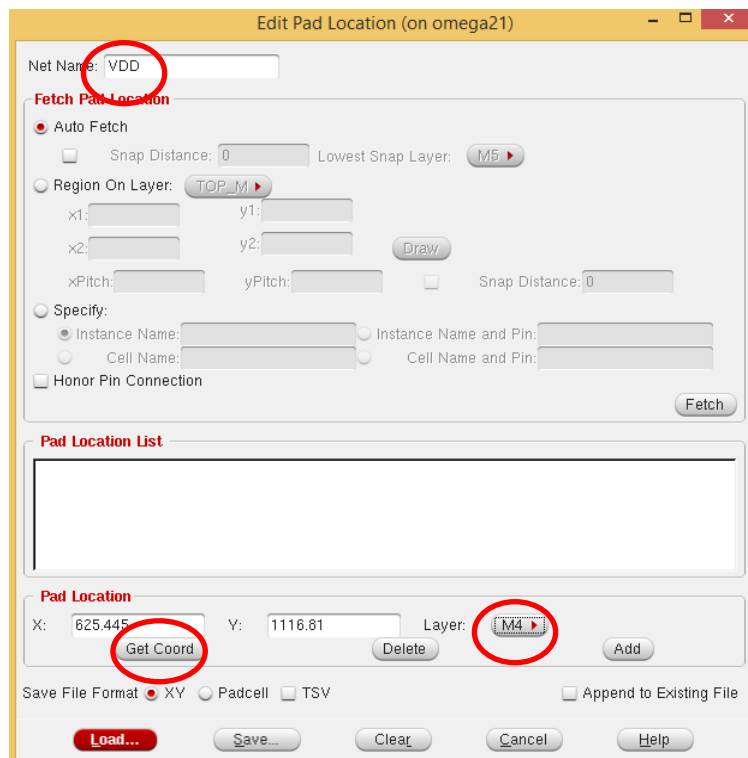
לעתים, יש צורך בבחינת קווי ההספקות בשלב מוקדם מאד של התכנון. קיימת אפשרות לביצוע Rail Analysis על סמך הערכת הספק בלבד (Early Rail Analysis).
פתח את הכלי : Power->Rail Analysis->Setup Rail Analysis
עבור Analysis Stage בחר ב-Early.
בשדה של Power Grid Libraries רשום :
/tools/kits/tower/PDK_TS18SL/iit/tower_allcells/fast_allcells.cl

לחץ על OK

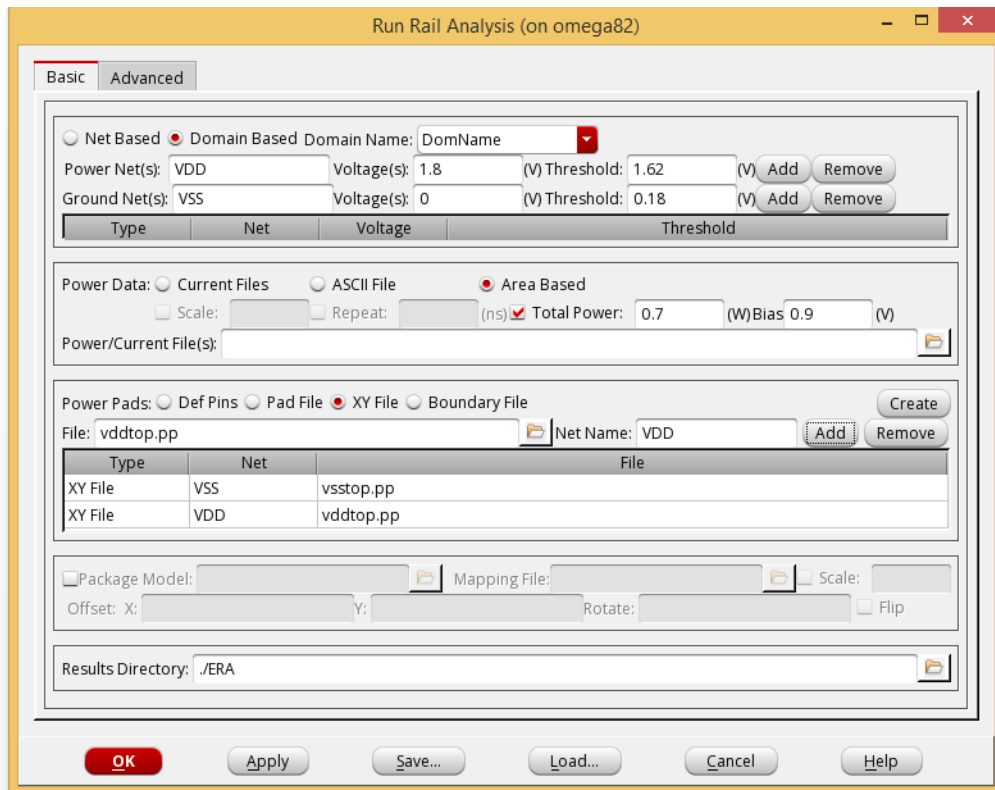
פתח את החלון Power-Run Rail Analysis ובחר ב- Domain Based ורשום שם עבור ה- Domain בשדה Power Net רשום VDD, ב- Voltage רשום 1.8 וב- Threshold רשום 1.62 (כלומר VDD פחות 10%). בשדה Ground Net רשום VSS, ב- Voltage רשום 0 וב- Threshold רשום 0.18 (כלומר 10% של VDD). לחץ על Area Based ובשדה של Total Power רשום את צריכת ההספק הממוצעת המשוערת. בשדה ה- Bias רשום 0.9. כעת, יש להכין קובצים המגדירים את המיקום של ה- Pads של האספקות. לחץ על XY File ולחץ על - Create

בחלון - Edit Pad Location:

- ב- Net Name רשום VDD
- לחץ על Get Coord
- לחץ על פס המתכת שיוצא מ- pad ה- VDD
- בחר במתכת המתאימה
- לחץ על add. יופיע עיגול צהוב.
- חזור על הפעולה עבור כל VDD pad.
- לחץ על save ורשום שם של קובץ – למשל vddtop.pp
- חזור על הפעולות עבור VSS. לחץ על save ושמו את הנתונים בקובץ vssstop.pp.



לאחר לחיצה על XY File רשום vddtop.pp בשדה ה- File ו- VDD בשדה ה- Net Name ולחץ על Add. חזור על הפעולה עבור VSS, כלומר רשום vssstop.pp בשדה ה- File ו- VSS בשדה ה- Net Name ולחץ על Add.
בשדה Results Directory רשום ./ERA.
להרצת האנליזה לחץ על OK.



שים לב שבסוף הריצה מתקבלת הודעה :
 Rail Analysis completed successfully

על מנת לראות את התוצאות, בחר ב- Power & Rail Results -> Reports -> Power. בחר ב- DB Setup בחלון שנפתח בצד שמאל. בחלון שנפתח, בחר ב- Brower שליד Rail Database. בחר ב- ERA וב- DomName_25C_avg_1 (כאשר DomName זה שם ה- Domain שבחרת). לחץ על **choose כאשר DomName_25C_avg_1 מופיע בשדה ה- Directory**, ואז על OK. לחץ על Layers/Nets ובחלון שנפתח, תחת חלונית Nets, בחר רק ב- VDD. ליד Type בחר ב- Rail. לחץ על החץ שליד none-Clear ובחר ב- IR Drop. כעת ניתן לראות את ה- IR Drop עבור VDD. לחץ על Layers/Nets ובחלון שנפתח בחר רק ב- VSS על מנת לראות את ה- IR Drop עבור VSS.

כמובן, ניתן לראות תוצאות נוספות של הניתוח בעזרת חלון זה. לקבלת הסברים על כך יש לפנות לצוות המעבדה.

אנליזת תזמון (לבצע רק בהוראה מפורשת של המנחה)

נתין לבצע את האנליזה הזאת רק אם קובץ ה- mmmc.view נטען בהצלחה בזמן קריאת קובץ ה- top.globals בתחילת העבודה. קובץ ה- mmmc.view מגדיר את פינות התזמון השונות וגם טוען את קובץ האילוצים בשם top.sdc המגדיר את כל אילוצי התזמון. על קובץ ה- top.sdc להכיל לכל הפחות את הגדרת השעון :

```
create_clock clock_pin_name -name clock_name -period 10 -waveform {0 5}
```

בצע : Report Timing → Timing – אם בוצע CTS יש לציין זאת בטופס.
 כדי לראות את התוצאות : Timing Debug → Timing

Timing Optimization

לעתים, כאשר הפרות התזמון אינן גדולות מדי, ניתן לתקן עי"י שינויים קלים בתכנון. אם בסעיף הקודם קיבלת slack שלילי הפעל את הפקודה : Timing-> Optimize. לחץ על OK. פעולה זאת מנסה לפתור את ה-timing violations.

יצירת קובץ gds2

קובץ זה נחוץ על מנת שאפשר יהיה להעביר את התכנון לכלי DRC ו-LVS. לאחר המעבר ניתן יהיה גם לבצע תיקוני layout ידניים אם יש צורך בכך. הקובץ נוצר בעזרת הפקודה : Design-> Save-> GDS בחלון שנפתח הכנס שם קובץ היציאה ובשדה - Map File רשום :
./users/iit/cadence/tsl018b/gds2_6lm.map

יצירת קובץ OA

דרך נוספת לעבור לכלי DRC ו-LVS היא לשמור בפורמט (OA) OpenAccess ולאחר מכן לפתוח ב-virtuoso. השיטה הזאת אינה עובדת בשלב זה ולכן יש להעביר את התכנון ל-virtuoso בעזרת קובץ ה-gds.

ראשית, עליך לצור ספרייה שבה ישמר התכנון בסביבת virtuoso. אם סביבה זו לא קיימת הגדר אחת כפי שמוסבר במסמך cadence virtuoso. ערוך את קובץ ה-cds.lib והוסף את השורות הבאות :

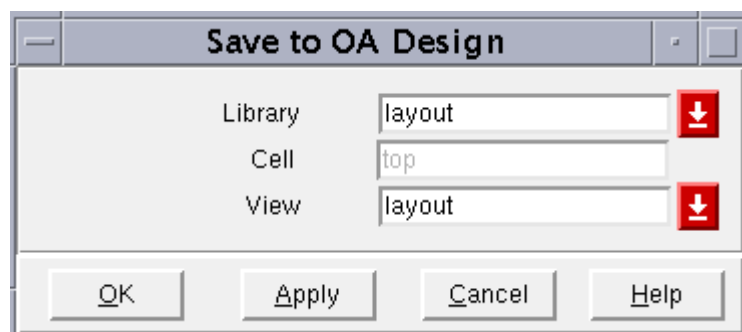
```
DEFINE tsl018fsb /tools/kits/tower/libs/OA/tsl018fsb
```

```
DEFINE tsl018iob /tools/kits/tower/libs/OA/tsl018iob
```

שמור את השינויים וצא מהעורך. הפעל את virtuoso באמצעות הפקודה virtuoso. כעת צור ספרייה חדשה באמצעות Library->New->File לדוגמה ספרייה בשם layout, בצד ימין ב-Technology file סמן את "Attach to an existing technology library" ולחץ OK. הבא בחר ב-tsl018_prim. לחץ OK.

כעת ניתן לשמור בכלי Innovus את התכנון בצורה הבא, לחץ על :
Design->Save Design As->OA

שמור את התכנון לספריית layout :



חשוב : בתא שנוצר, יש לשנות את ה-views של כל התאים מ-abstract ל-layout.

תכנון היררכי

כאשר התכנון גדול מאד, לא ניתן לבנות את ה-layout ברמה היררכית אחת (שטוחה). צריך לחלק את התכנון לתת בלוקים ולבנות את ה-layout של כל תת בלוק לחוד ואז לאחד אותם ברמה העליונה. (יש להיעזר בהסברים לעיל של המימוש השטוח).

ראשית, ייבא את התכנון שלך כרגיל ורצוי לשמור קובץ קונפיגורציה (design.conf) עי"י לחיצה על save בטופס ייבוא התכנון. המשך כרגיל עד הגדרת רשת האספקה (לא כולל). כעת יש להגדיר אילו בלוקים יישארו כקופסה שחורה :

- אם אינך רואה את תת הבלוקים של התכנון בצד שמאל, לחץ על design->preferences ובחלון שנפתח על display ושנה את הערך של min. floorplan module size ל-25 או לערך קטן יותר עד שתראה את תת הבלוקים. אם זהו בלוק בתוך בלוק – לחץ על בלוק העליון ואז רשום ungroup.
 - מקם את הבלוקים הרצויים במקומם.
 - עבור כל תת בלוק בחר אותו ולחץ על partition->specify partition ובחלון שנפתח על add/replace
 - בצע את מיקום קווי האספקה ע"י ביצוע
source /users/iit/cadence/tsl018b/power.src
 - לחץ על place->specify placement blockage ובטופס שנפתח סמן את כל האפשרויות שמור את התכנון ע"י design->save->floorplan.
 - לחץ על partition->commit partition ו partition - design->save->partition.
 - בשלב זה התכנון מוכן לעבודה על כל בלוק בנפרד. לחץ על design->save->partition ותן שם כלשהו לספרייה.
 - בתוך ספרייה זו יהיו תתי ספריות ובתוכם כל הבלוקים + הרמה העליונה. (***)
 - בחר בלוק ובצע Partition->Change Partition View. פעולה זאת גורמת למעבד לתת בלוק. בנה את ה- layout כפי שתואר בתכנון שטוח.
 - בסיום העבודה שמור את התוצאה בקובץ def.
 - בצע Partition->Change Partition View על מנת לחזור לבלוק העליון.
 - בנה את ה- layout באופן דומה עבור כל תת בלוק. חזור לרמת העליונה.
 - לחץ על place->Std Cells and Blocks ובטופס שנפתח לחץ על OK
 - לחץ על Route->Route. לחץ על Advanced בחלון שנפתח ולחץ על Extension Control. בחר ב- none עבור Primary Connection-Standard Cell Pins and Strip וב- Last Cell in Row עבור Secondary Connection/Stop. (יש לבצע את הפעולה עבור כל רשתות האספקה).
 - לחץ על route->trialroute ובחלון שנפתח לחץ על OK.
 - בסיום כתוב flattenPartition, (או בצע Partition->Unpartition). כעת התכנון הוא שטוח וניתן להריץ עליו בדיקות.
 - אם במקרה יצאת מהכלי, הפעל אותו שוב וטען את ה- floorplan ואת ה- partition ששמרת קודם ולחץ על partition->commit partition.
 - עבור כל בלוק – לחץ על partition->change partition view ובסך החדש שיפתח לחץ על design->load->def והכנס את קובץ ה- def של הבלוק שיצרת קודם.
 - בסיום כתוב flattenPartition, (או בצע Partition->Unpartition). כעת התכנון הוא שטוח וניתן להריץ עליו בדיקות.
- (***) בשלב זה, ניתן להמשיך את העבודה בדרך האחרת :
- צא מהכלי, הכנס לתוך הספרייה של הבלוק הרצוי ובצע לו layout – שים לב שנוצרו קבצים בספרייה זו לעבודה מהירה ע"י לחיצה על load (וטעינת קובץ conf) בטופס ייבוא התכנון.
 - לאחר סיום העבודה על כל הבלוקים – חזור לספרייה המקוריות
 - חבר את כל קבצי ה- verilog ע"י טעינה של קובץ הקונפיגורציה בטופס ייבוא התכנון אך במקום הקובץ של התכנון המקורי – הוסף את קבצי ה- verilog שנמצאים בספריות של הבלוקים כאשר הרמה העליונה ראשונה.
 - לחץ על design->save->netlist ורשום שם חדש לתכנון
 - טען את התכנון מחדש אך כעת עם הקובץ החדש שהכנת.
 - טען את ה- floorplan ואת ה- partition ששמרת קודם ולחץ על partition->commit partition

- עבור כל בלוק – לחץ על partition->change partition view ובסך החדש שיפתח לחץ על design->load->def והכנס את קובץ ה-def של הבלוק שיצרת קודם. חזור לרמת העליונה עם partition->change partition view.
- לחץ על place->Std Cells and Blocks ובטופס שנפתח לחץ על OK
- לחץ על Route->Route. לחץ על Advanced בחלון שנפתח ולחץ על Extension Control. בחר ב-none עבור Primary Connection-Standard Cell Pins and Strip וב-Last Cell in Row עבור Secondary Connection/Stop. (יש לבצע את הפעולה עבור כל רשתות האספקה).
- לחץ על route->trialroute ובחלון שנפתח לחץ על OK.
- בסיום כתוב flattenPartition, (או בצע Partition->Unpartition). כעת התכנון הוא שטוח וניתן להריץ עליו בדיקות.

4. בדיקת ה-LAYOUT (מכאן ואילך יש לבצע רק בהוראה מפורשת של המנחה)

4.1 הכנת הסביבה

ראשית עליך להכין סביבה כפי שהוסבר ב-manual של virtuoso. הפעל את הכלי בעזרת הפקודה:

```
virtuoso
```

פתח את ה-design_manager. ניתן לראות שתי ספריות : project_username ו-project_master. ניתן לעבוד עם כל אחת.

4.2 תיקון ה-layout

ב-Layout יש להחליף את כל תאי pv0c ו-pvdc ל-pv0i ו-pvdi בהתאם.

4.3 יצירת קובץ cdl:

בדיקה ה-LVS דורשת את הסכמה של המעגל. לרוב, היא לא קיימת כי ה-layout נוצר מקובץ ה-verilog שיצר כלי הסינתזה. כלי ה-LVS מבצע את ההשוואה ברמה של טרנזיסטורים ולכן יש להכין תיאור ברמת הטרנזיסטור (קובץ cdl) של הסכמה (קובץ verilog). קובץ זה נמצא בספריה top.enc.dat בספריית העבודה של Innovus בצורה מקובצת top.v.gz. ראשית, יש לפרוש את הקובץ ולבצע את השינוי הבא. בעקרון נדרש להשתמש ב-pv0a וב-pvda ולא ב-pv0c ו-pvdc. בקובץ מופיעות השורות הבאות:

```
pv0a    PAD_G1; ( )
pv0c    PAD_G3 ( .VSSC (VSS) );
pvda    PAD_I1; ( )
pvdc    PAD_I3 ( .VDDC (VDD) );
```

שנה את השורות ל-

```
pv0a    PAD_G1; ( )
pv0i    PAD_G3 ( .VSSC (VSS) );
```

```
pvda PAD_I1; ( )
pvdi PAD_I3 ( .VDDC (VDD) );
```

ניתן ליצור את קובץ ה-cdl בעזרת תוכנית בשם V2CDL באופן הבא:
/tools/mentor13/Calibre/ixl_cal_2013.2_35.25/bin/v2lvs -v top.v -o top.cdl

כאשר top.v הוא שם קובץ ה-verilog. הפקודה הנ"ל יוצרת קובץ בשם top.cdl. על מנת להריץ פקודה יש לוודא עם צוות המעבדה שיש לך הרשות של כלי mentor. חשוב להתייחס לכל הודעת טעות שמתקבלת כתוצאה של הריצה.

- תיקונים ידניים נדרשים לקובץ cdl שמתקבל:
- א. יש למחוק את השורות עם pfretr.
- ב. בתחילת הקובץ יש להוסיף:

```
.GLOBAL VSS
.GLOBAL VDD
.include /users/iit/cadence/tsl018b/cdl/tsl18fs120.cdl
.include /users/iit/cadence/tsl018b/cdl/tsl18cio150.cdl
```

- ג. יש לתקן את הפינים של כל התאי ה-pads כך שיראו כך:

```
XI16 pt3o01 $PINS VDD=VDD VSS=VSS VDDO=VDDO VSSO=VSSO PAD=net111 I=wire_st
XI5 pc3d01 $PINS VDD=VDD VSS=VSS VDDO=VDDO VSSO=VSSO PAD=net100 CIN=wire_clk
XD31 pc3b01 $PINS VDD=VDD VSS=VSS VDDO=VDDO VSSO=VSSO PAD=D1 OEN=V2 I=D1 CIN=KD
XPAD_G1 pv0a $PINS VSSO=VSSO VDD=VDD VSS=VSS VDDO=VDDO
XPAD_G3 pv0i $PINS VSSO=VSSO VDD=VDD VSS=VSS VDDO=VDDO
XPAD_I1 pvda $PINS VSSO=VSSO VDD=VDD VSS=VSS VDDO=VDDO
XPAD_I3 pvdi $PINS VSSO=VSSO VDD=VDD VSS=VSS VDDO=VDDO
```

- ד. לכל הופעה של תא סטנדרטי יש להוסיף VDD=VDD ו-VSS=VSS כך שהמשפט יראה כך:

```
XU57 inv0d0 $PINS VDD=VDD VSS=VSS ZN=n52 I=n47
```

4.4 העברת ה-layout לסביבה החדשה וביצוע הבדיקות

- כעת יש לקרוא את התכנון (קובץ ה-gds2) לתוך הספרייה.
- הפעל File->Import->Stream
- הכנס בשדה ה-Input File את שם קובץ ה-gds2 ובשדה Library Name את שם הספרייה project_username או project_master.
- לחץ על Show Options. לחץ על לשונית ה-Libraries בחלון ה-Available Libraries בחר ב: tsl018fsb tsl018iob והעבר אותן לחלון ה-Reference Libraries. לחץ על Translate. הכלי יבקש שם קובץ לשמירת ה-setup רשום שם כלשהו.

תהליך זה יוצר תא בשם של התכנון שלך ומסוג layout בספרייה שלך. פתח חלון Tool->Library Manager על מנת לראות את הספריות והתאים.

חשוב:

1. בדוק שה-pads של VDD וה-VSS מחוברים לקווי האספקה של ה-core. אם הם אינם מחוברים יש לחבר אותם באופן ידני לפני הרצת הבדיקות. ניתן לבצע זאת ב-layout. לאחר בחירת השכבה ואת הרוחב מבצעים את החיווט ובסוף לוחצים על OK ולא על cancel! רצוי להוסיף שמות לקווי האספקה!

- 2. אם התכנון הוא היררכי, קודם יש לקרוא את קבצי ה-gds2 של כל תתי הבלוקים.

4.5 הרצת DRC ו-LVS

כל הבדיקות על ה- layout מתבצעות בכלים שמופעלים באמצעות הפקודה virtuoso. קיימות מספר שיטות לביצוע הבדיקות, עבור תהליך זה, נשתמש ב-Assura.

Assura

בדיקת DRC (Design Rule Check)

- צור ספרייה בשם /tmp/drcuser כאשר drcuser הוא שם החשבון שלך.
 - פתח את ה- layout שיצרת.
 - לחץ על Assura->Run DRC.
 - בחלון שנפתח, בחר בטכנולוגיה : ts18sl_6M1L (במקום undefined).
 - בשדה Switch Names יהיה רשום :
- " 6LM OA "
- לחץ על OK. לחץ על OK גם בחלון Progress שנפתח.
 - בסיום הריצה הכלי ישאל אם ברצונך לראות את הטעויות, לחץ על YES.
 - ניתן לראות את הטעויות השונות ע"י לחיצת על החצים בחלון שנפתח.

בדיקת LVS (Layout Vs. Schematic)

בדיקה זו משווה בין ה- Layout לסכמה בכל המישורים :

- התאמת בין שמות הצמתים שקבעתם בשרטוט ה- Layout מול השרטוט הסכמתי.
 - התאמה בחיבוריות שבין האלמנטים.
 - התאמה בערכי הרכיבים (גדלי הטרנזיסטורים, ערכי הקבלים וכו').
 - התאמה במספר האלמנטים וסוגיהם.
 - פתח את ה- layout שיצרת.
 - לחץ על Assura->Run LVS.
 - בחלון שנפתח, בחר בטכנולוגיה : ts18sl_6M1L (במקום undefined).
 - בשדה Switch Names יהיה רשום :
- " 6LM OA "

- ודא ששדות ה- Schematic Design source וה- Layout Design Source נכונים.
- Schematic Design source צריך להיות : netlist. לחץ על Add ורשום את שם קובץ ה- cdl (top.cdl).
- Layout Design Source צריך להיות : DFII. וודא שהשדות מכילים את שם התא הנכון.
- מעבר לזה, השתמש בבררות המחדל של הטופס.
- לחץ על OK ושוב על OK על שני החלונות שמופיעים.
- בין שתי ריצות לחץ על Assura->Close Run.
- בסיום הריצה, הכלי שואל אם להיכנס ל- LVS Debug Environment. לחץ על YES.
- באמצעות החלון LVS Debug (תחת View) ניתן לראות את הטעויות.
- אם בוחרים שם בשדה Cell List ניתן ללחוץ על האלמנטים השונים ב- summary ולאחר מכן על open tool כלי שמאפשר הצגת הטעויות על הסכמה ועל ה- layout.
- בחלון LVS Debug Environment תחת View ניתן לראות מידע רב לגבי תוצאות הבדיקה כולל ה- netlist של שני ה- Views.

חשוב : לפעמים הבדיקה נכשלת מסיבות שלא נובעות לשגיאות בתכנון. להלן מספר סיבות אפשריות לכישלון :

1. **בעיה :** שם של BUS ב- layout מופיע עם סוגריים מסוג [], ובסכמה עם סוגריים מסוג <>.
- פתרון :** בחלון של assura לחץ על View Additional Functions ואז לחץ על כפתור :

- Modify changeLabel Function שמאפשר החלפת הסוגריים. לחץ על הכפתור, בשדה Add על "NEW". לחץ על "Replace Sub Strings" בשדה "OLD" או "Command to List" על הפעולה עבור ""]" ו-">".
2. בקובץ ה-cdl קיים משפט SUBCKT של הרמה העליונה. במשפט זה, רשומים כל הכניסות והיציאות לתא. כל השמות האלה, חייבים להופיע ב-layout כ-pins במקום המתאים או לחלופין יש למחוק אותם מקובץ ה-cdl.
3. כאשר קיימים pads בתכנון קיימת בעיה בחיבורים למצע. חיבורי המצע של ה-pads מתבצע דרך VSS ושל התאים דרך VSSC. עליך להוסיף שמות לקווים VSSC ו-VDDC ב-layout.

חשוב לשים לב לרווחים!

4. אם Innovus יצר טבעות של קווי VDD ו-VSS על ה-pads יש למחוק אותן.
5. על מנת למנוע שגיאות של "multiple bulk connections" ניתן לקצר בין VSS ו-VDD בסכמה וב-layout.