



מעבדה ב- VLSI ספרתי - 045111

סינתזה ותכנון Layout (BackEnd) - דו"ח הכנה

<http://www.ee.technion.ac.il/vlsi/>

[הערות נא לשלוח ל-goel@ee](mailto:goel@ee)

כל הערה תתקבל בברכה!

עדכון אחרון - 12:54 28/11/2023

מסמך זה כתוב בלשון זכר ע"מ להקל על הכתיבה אך מתייחס לנשים ולגברים כאחד. עמכם הסליחה.

תוכן עניינים

3	פרק 3 – דו"ח הכנה
3	1. הכנת סביבת הסינתזה
3	2. אנליזה של setup time ו- hold time
4	3. שיפור הבדיקות : Design For Testability (DFT)
4	4. Logical Equivalence Checking - LEC
5	5. סינתזה בעזרת script
5	6. מבנה קובץ ה- LEF
6	7. קובץ mmmc.view וקובץ אילוצי תזמון
6	8. שלבי מימוש ה- layout

פרק 3 – דו"ח הכנה

תהליך תכנון טיפוסי של מעגל VLSI מורכב מהשלבים הבאים. במהלך הניסוי נבצע את כל השלבים שתוארו ברקע ויובא הסבר מפורט על הדרך לבצע כל שלב.

חשוב: עליך קרוא את מסמך הרקע ולענות על כל השאלות ולהכין את הקבצים בהתאם להנחיות.

1. סביבת הסינתזה

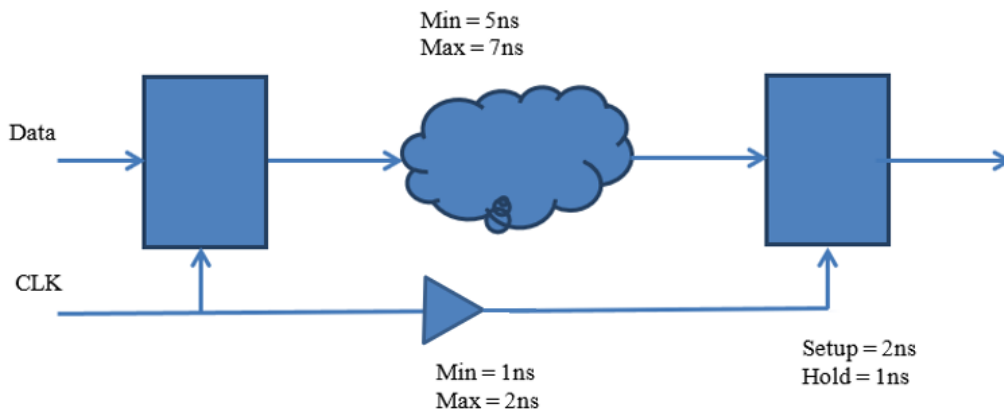
1.1 : הסבר במשפט או שניים מה הם קבצי lib וקבצי db.

עבור התכנון שמימשנו עד כה :

1.2 : מה שם המודול של הרמה העליונה של היחידה שלנו? רשום את שמות המודולים שהוא מכיל.

2. אנליזה של setup time ו- hold time

סעיף זה יעסוק בהעמקת הבנה בנושא setup time ו- hold time. חשוב להבין שזמני השהיה של שערים נעים בין ערך מינימלי לערך ומקסימלי. חיוני לבצע את האנליזה עם ההשהיות הנכונות (ולא רק עם זמני ה-typical). נתון המעגל הבא :



איור מס' 6 : מעגל סינכרוני טיפוסי

המעגל מכיל שני FlipFlops ולוגיקה קומבינטורית ביניהם. עבור סעיף זה, נזניח את ההשהיות הפנימיות של ה-FlipFlops וההשהיות של החוטים.

2.1 :

- הסבר מה זה setup time ומה זה hold time ?
- מה זה "המסלול הקריטי" ?
- מהו מחזור השעון המינימלי שעדיין מאפשר למעגל לעבוד בצורה תקינה ? הסבר.
- מהו הפתרון פשוט למעגל שאינו מקיים את דרישת ה-setup time ?
- האם המעגל באיור 8 מקיים את דרישת ה-"hold" של ה-FlipFlop ? הסבר.
- מהו הפתרון למסלול שאינו מקיים את דרישת ה-hold time ?

2.2 : הכן קובץ מכיל NeuralNet.sdc ש :

- מכיל הגדרת השעון בעל מחזור של 5ns
- מגדיר שהכניסות מגיעות בהשהיה של 1ns אחרי עלית השעון

3. שיפור הבדיקות (DFT) : Design For Testability (DFT)

המטרה בסעיף זה היא להכיר את היכולת של הכלי ה-DFT לשפר באופן אוטומטי את הבדיקות של התכנון. מחוסר זמן, התרגיל של ה-DFT יתבצע רק על ידידת ה-pooling.

3.1 : הסבר מה זה scan flipflop. למה מוסיפים scan flipflops וכיצד משתמשים בהם ?

3.2 : צייר תרשים של scan chain בעל 4 scan flipflops.

4. Logical Equivalence Checking - LEC

כאמור, תוכנה ה-LEC משוואה בין מימוש ה-RTL ומימוש המסונתז. על מנת שניתן יהיה להשוואת את ה-RTL למימוש מסונתז, הכלי ראשית מבצע סינתזה משלו לקוד ה-RTL לפני ההשוואה.

לכלי, יש להזין את המימושים, פקודות לביצוע ההשוואה ועוד מידע. נבצע זאת עם command file בשם dofile. להלן מתואר מבנה קובץ ה-dofile :

```
set log file enter log file name here -replace
set compare effort low
```

```
read library -Both -Replace -sensitive -Statetable -Liberty enter all lib files here
```

```
read design enter all SV files here -SYS -Golden -continuousassignment
Bidirectional -nokeep_unreach -norangeconstraint -NOE
```

```
elaborate design
```

```
read design enter synthesized file name here -Verilog -Revised -sensitive
-continuousassignment Bidirectional -nokeep_unreach -nosupply
```

```
//Disregard gated clocks as a reason for non-equivalence
set flatten model -gated_clock
```

```
//Make each module unique (i.e. hierA/ModuleA != hierB/ModuleA). A must for
hierarchical //compare
uniquify -all
```

```
write hier_compare dofile hier.do -replace -prepend_string "analyze datapath -module
-threads 4 ; analyze datapath -wordlevel -verbose" -usage
```

```
set compare effort low
```

```
//run hier_compare hier.do
run hier_compare hier.do
```

```
//close the logfile
set log file
```

4.1 : רשום את הפקודות הנ"ל בקובץ בשם `dofile`. יש לשנות את כל הטקסט שבאדום בשמות של מימוש שבניסוי. השם של המימוש המסונתז הוא `NeuralNet_syn.v`.

4.2 : הסבר מה לפי דעתך התפקיד של הפקודות הבאות (אין צורך להסביר את הארגומנטים של הפקודה). אין צורך להסביר את המשמעות של כל הפרמטרים שבפקודה.

```
set log file enter log file name here -replace
```

```
read library -Both -Replace -sensitive -Statetable -Liberty enter all lib files here
```

```
read design enter all SV files here -SYS -Golden -continuousassignment Bidirectional  
-nokeep_unreach -norangeconstraint -NOE
```

```
read design enter synthesized file name here -Verilog -Revised -sensitive  
-continuousassignment Bidirectional -nokeep_unreach -nosupply
```

5. סינתזה בעזרת script

כעת עליך להכין את סקריפט הסינתזה. להלן המסגרת של הסקריפט.
5.1 : רשום את הפקודות הבאות בקובץ בשם `syn.tcl`. עליך להשלים (מסומן באדום) :

- א. שמות קבצי התכנון
- ב. שמות הקבצים לשמירת המעגל המסונתז
- ג. מחזור שעון `5n` ו- עלית השעון ב `2.5n`.

```
set TopModule NeuralNet
```

```
sh mkdir -p WORK  
define_design_lib work -path ./WORK
```

```
read_file -format sverilog {CNeuron file name}  
read_file -format sverilog {FCNeuron.sv file name}  
read_file -format sverilog {Controller file name}  
read_file -format sverilog {Pooling file name }  
read_file -format sverilog {Top level file name }
```

```
current_design NeuralNet  
create_clock -name "clk" -period XXX -waveform { 0 YYY } { clk }  
set compile_seqmap_propagate_constants false  
set compile_seqmap_propagate_high_effort false  
compile -exact_map  
write -hierarchy -format verilog -output Syntheized_file_name
```

עבור שמות הקבצים המסונתזים, עליך להשתמש בשם `NeuralNet_syn.v`

6. מבנה קובץ ה- LEF

כאמור קבצי ה- `lef` מכילים (בין היתר) את התיאור גיאומטרי (כולל מיקום מדויק של ה- `pins`) של התאים הסטנדרטיים. להלן הפורמט של חלק מהנתונים שמופיעים בקובץ `lef` :

```

01. LAYER layerName
02.     TYPE ROUTING ;
03.     DIRECTION {HORIZONTAL | VERTICAL} ;
04.     PITCH {distance | xDistance yDistance} ;
05.     WIDTH defaultWidth ;
06.     OFFSET {distance | xDistance yDistance} ;
07. END layerName

01. MACRO macroName
02.     CLASS {PAD | CORE} ;
03.     ORIGIN point ;
04.     SIZE width BY height ;
05.     SITE siteName ;
06.     PIN pinName DIRECTION {INPUT | OUTPUT}
07.     PORT
08.         LAYER layerName ;
09.         RECT point point ;
10.     END
11. END pinName
12. END macroName

```

6.1 : רשום לפי דעתך :

- א. מה מתארים המבנים LAYER ו-MACRO שמופיעים לעיל ?
- ב. כמה מבנים מסוג LAYER ו-MACRO יופיעו בקובץ המלא ?
- ג. כמה משפטי PIN יופיעו בכל מבנה MACRO ?

7. קובץ mmmc.view וקובץ אילוצי תזמון

7.1 : לפי איור 5 במסמך הרקע:

- א. אלו קבצים דרושים להגדרת ה- **library set** מסוג **max** ו- **min** ?
- ב. איזה **library set** דרוש להגדרת **delay corner** מסוג **SlowDC** ?
- ג. מה זה קובץ ה- **NeuralNet.sdc**. איזה **MMMC Object** משתמש בו ?
- ד. כמה **Analysis Views** קיימים בהגדרת ה- **mmmc.view** שלנו ?

8. שלבי מימוש ה- layout

8.1 :

- א. אלו קבצי הטכנולוגיה הדרושים למימוש ה- **layout** ?
- ב. אלו פרמטרים עליך להגדיר על מנת לממש עץ שעון ?
- ג. רשום את כל השלבים העיקריים במימוש ה- **layout**. תאר כל שלב במשפט אחד.