The Andrew and Erna Viterbi Faculty of ELECTRICAL & COMPUTER ENGINEERING

Technion Israel Institute of Technology



מעבדה ב- VLSI אנלוגי - 0450110

חלק ג'

ביצוע הניסוי

http://www.ee.technion.ac.il/vlsi/

הערות נא לשלוח ל-goel@ee

כל הערה תתקבל בברכה!

עדכון אחרון - 12:01 07/10/2024

מסמך זה כתוב בלשון זכר ע"מ להקל על הכתיבה אך מתייחס לנשים ולגברים כאחד. עמכם הסליחה.

תוכן העניינים

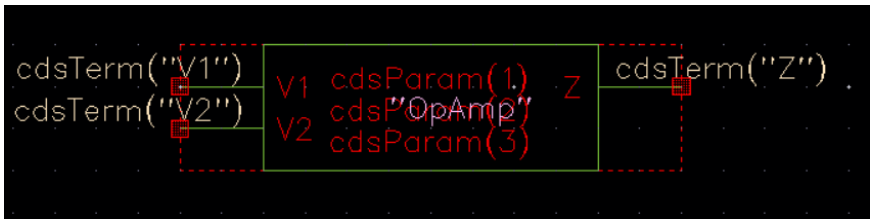
7. מגבר אופרטיבי 2
7.1 AC Analysis – ללא קומפנסציה 2
7.2 AC Analysis – עם קבל ונגד קומפנסציה 2
7.3. מציאת מתח ה- offset 2
7.4. מציאת ה- slew rate וה- settling time 2
7.5. מציאת ה- input common mode range 2
7.6. סימולציית ac בחוג סגור 2
8. סרטוט וסדיקת ה- Layout של מגבר ה- Common Source 2
8.1. : שרטוט LAYOUT של המגבר (ידני) ... Error! Bookmark not defined.
8.2 בדיקת DRC (Design Rule Check) 2
8.3 בדיקת LVS (Layout Vs. Schematic) 2

7. מגבר אופרטיבי

בסעיף זה סכמת המגבר נתונה!

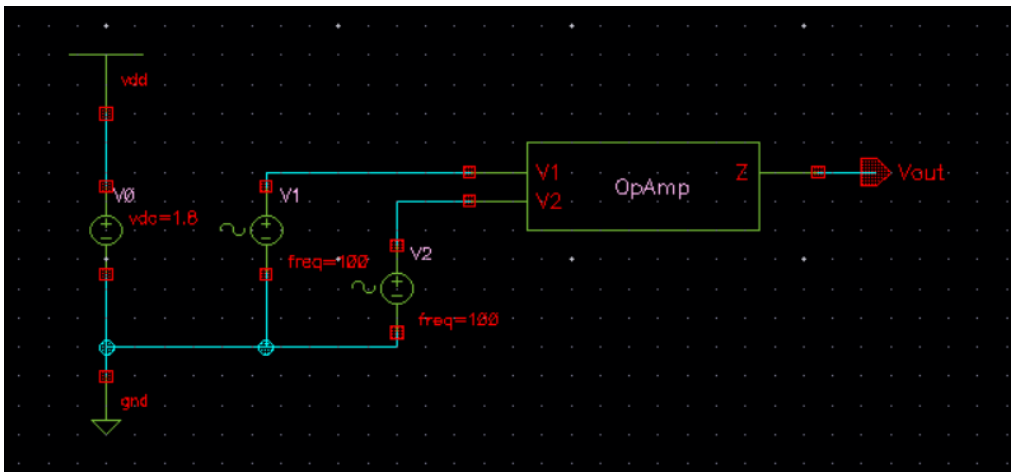
7.1 AC Analysis – ללא קומפנסציה

- פתח את סכמת המעגל OpAmp. ניתן לראות שבסכמה R ו-C מנותקים.
- צור Symbol עבור תא זה.



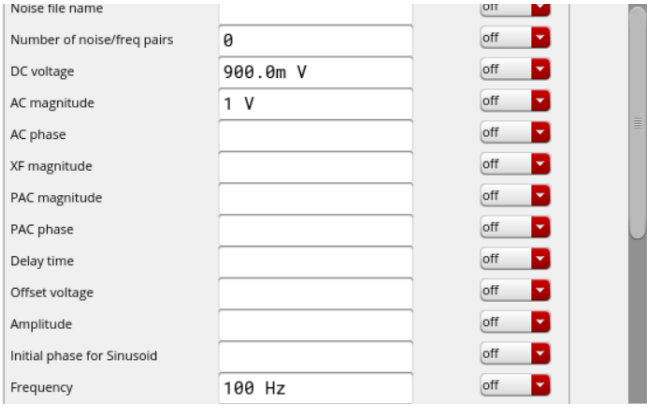
איור מס' 1 : OpAmp Symbol

סכמה לבדיקת המעגל : בתא בשם OpAmp_Sim צייר את המעגל הבא :

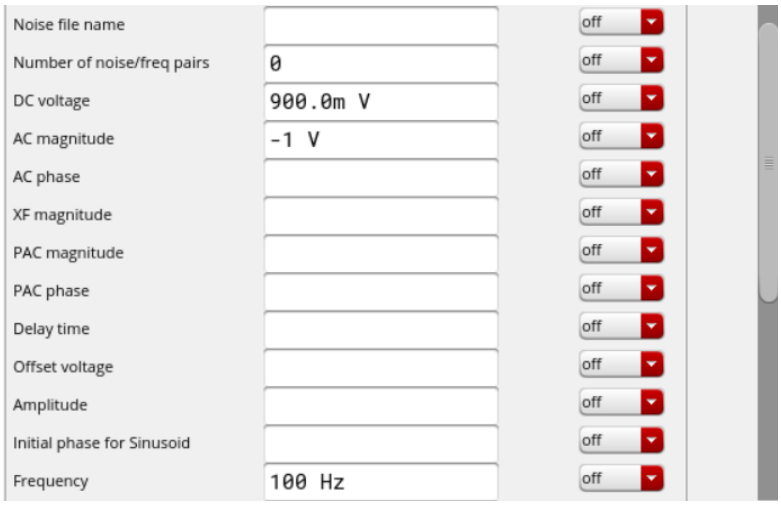


איור מס' 2 : OpAmp_Sim Schematic

- ערך המתח במקור vdc הוא 1.8V.
- הערכים של מקורות ה- vsin הם :
- עבור V1 :



- עבור V2 :



- הפעל את הכלי סימולציה בעזרת Launch-> Explorer
- בעזרת Analysis Choose נגדיר סימולציית נקודת עבודת ה- DC וסריקת ac מ- 1Hz ל- 1GHz. סגור את החלון.
- בצע את הסימולציה.

- פתח חלון ה- calculator. לחץ על  (במקום Special Functions) עבור ה- all Function Panel.
- בתחתית החלון בחר באופציה ac ואז על vf . כעת לחץ על החוט המחובר V_{out} (בסכמה), ואז על החוטים המחוברים ל- V1 ו- V2. לחץ על "-" כדי לקבל V1-V2. כעת לחץ על "/" על מנת לקבל את מתח היציאה חלקי V1-V2. כעת בחר בפונקציית abs (ערך מוחלט) ואז בחר ב- 20db. לחץ על  בחלון ה- calculator והדפס גרף של ההגבר כפונקציה של תדר.

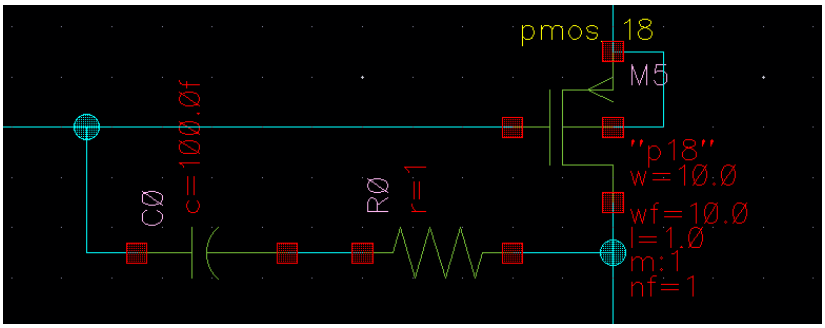
א. צרף את הגרף לדו"ח.

ב. לחץ על vf . כעת לחץ על החוט המחובר V_{out} (בסכמה), בחר ב- phase (במקום abs ו- 20db) על מנת לקבל את הגרף של הפאזה. צרף את הגרף לדו"ח.

ג. מהו ה- phase margin ?האם המגבר יציב ? הסבר.

7.2 AC Analysis – עם קבל ונגד קומפנסציה

- הוסף ל- OpAmp קבל ונגד בהתאם לסכמה הבאה :



איור מס' 3 : הוספת R ו- C

- בצע את הסימולציה שוב.
- חזור על הפעולות של סעיף א'.

א. צרף את הגרפים לדו"ח.

ב. מהו ה- phase margin ? האם המגבר יציב ? הסבר ? כיצד הושגה היציבות?

7.3. מציאת מתח ה- offset

במגבר אידיאל, אם אין סיגנל ac בכניסה אזי לא יהיה סיגנל ביציאה. במגבר אמיתי, אם אין סיגנל בכניסה, לא תמיד היציאה מאופסת. המתח בכניסה הדרוש על מנת לאפס את היציאה נקרא מתח ה- offset. העדר סיגנל בכניסה משמעו שקיים רק אות ה- dc כלומר 0.9V במקרה שלנו. מתח ה- offset יהיה הסטייה מ- 0.9V הדרושה לקבלת 0.9V ביציאה.

- בצע DC sweep analysis של פרמטר ה- dc של המקור V1 כאשר ערך הפרמטר משתנה עולה מ- 0.8V עד ל- 1.0V. ה: "-" של המגבר מקבל מתח של 0.9V.

- בצע את הסימולציה שוב.
- פתח חלון ה- calculator.
- בחלון ה- calculator לחץ על vs ובחר את צומת היציאה. לחץ על  לחץ על vs ובחר את צומת הכניסה, לחץ שוב על  מצא את מתח ה- offset כלומר **מה מתח הכניסה כאשר מתח היציאה שווה ל- 0.9V** (צריך לבצע zoom in קרוב מאד לאזור של 0.9V).

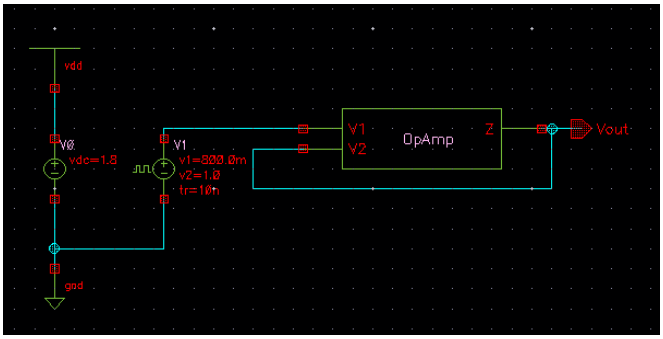
א. הדפס וצרף את הגרף לדו"ח.

ב. רשום מהו מתח ה- offset של המגבר.

7.4. מציאת ה- slew rate וה- settling time

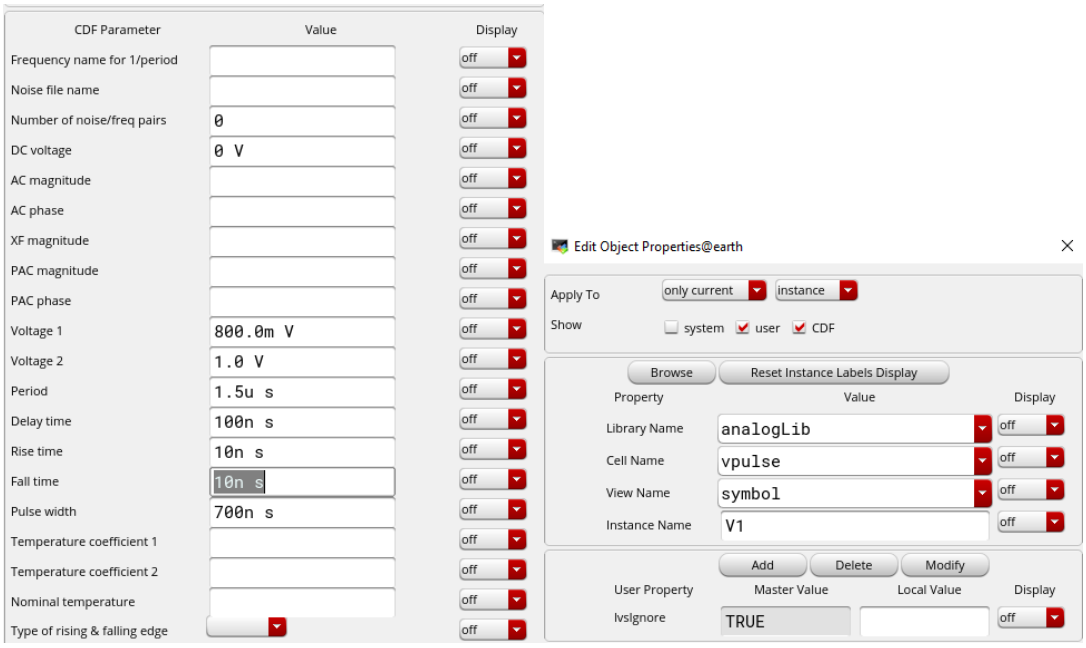
על מנת לא לעבוד עם מתחים קטנים מידי, נבצע את הסימולציות האלו כאשר המגבר מחובר כעוקב מתח. מחברים לכניסה אות ריבועי מחזורי.

- שנה את התא בשם OpAmp_Sim כך שיכיל את המעגל הבא:



איור מס' 3: OpAmp_Schematic חדש

- המקור V1 הוא מקור מסוג vpulse. שנה את הערכים של המקור.
- שים לב שמקור זה מספק אות ריבועי בעל:
- מתח עליון = 1.0V, מתח תחתון = 0.8V, זמן עליה וירידה=10ns, זמן השהייה = 100ns ורוחב פולס = 700ns כפי שמופיע בעמוד הבא.
- הגדר סימולציית transient analysis למשך 3 µs.
- בצע את הסימולציה.



ביציאה תתקבל אות מחזורי ריבועי אבל לא "אידיאלי". נגדיר:

- slew rate+ : שיפוע של אות היציאה בזמן שהאות עולה.
- slew rate- : שיפוע של אות היציאה בזמן שהאות יורד.
- settling time : הזמן הדרוש לאות היציאה להגיע בטווח של 1% של ערכו במצב יציב.

- בחלון ה- calculator לחץ על vt ובחר את צומת היציאה. לחץ על . לחץ על vt ובחר את צומת הכניסה, לחץ שוב על .

א. צרף את הגרף לדו"ח.

ב. מתוך הגרף מצא את ה- slew rate (בעליה ובירידה) וה- settling time.

7.5. מציאת ה- input common mode range

- בסעיף זה, נמצא מהו ה- V_{ICMR} input common mode range, כלומר עבור איזה תחום של מתחי כניסה זהים ממשיך המגבר לעבוד בצורה הנכונה. דרך פשוטה לעשות זאת היא לחבר את המגבר בתצורה של עוקב מתח ולבדוק עבור איזה מתחי כניסה, מתח היציאה עוקב אחרי מתח הכניסה.

על מנת לעשות זאת, נבצע סימולציה Dc-Sweep מ-0 ל- 1.8V של מתח הכניסה של המעגל בסעיף הקודם.

- מכיוון שהמגבר מחובר בתצורה של עוקב מתח, ה- V_{ICMR} יהיה תחום המתחים שעוברו היציאה עוקבת אחרי הכניסה.
- שנה את הגדרת הסימולציה כך שיתבצע סימולציה DC-Sweep מ-0 ל- 1.8V של מתח הכניסה.
- בצע את הסימולציה.
- בחלון ה- calculator לחץ על vs ובחר את צומת היציאה. לחץ על . לחץ על vs ובחר את צומת הכניסה, לחץ שוב על .

א. הדפס וצרף את הגרף לדו"ח.

ב. מתוך הגרף מצא את ה- V_{ICMR} כלומר טווח המתחים שמתח היציאה עוקבת אחרי מתח הכניסה באופן מדויק.

הערה חשובה: סימולציית ה- dc_sweep נותן למעגל אין סוף זמן להגיע למצב מתמיד. לכן, מציאת ה- V_{ICMR} בדרך זאת נותנת רק הערכה גסה של ה- V_{ICMR}. ניתן למצוא את ה- V_{ICMR} המדויק יותר ע"י הרצת סימולציות transient מתאימות.

7.6. סימולציית AC בחוג סגור

גם בסעיף זה מריצים על המגבר כאשר הוא מחובר כעוקב מתח. שנה את מקור הכניסה למקור מסוג vsin.
בחר את מקור ה- vsin ובעזרת Edit Properties קבע את הערכים הבאים:
DC Voltage: 0.9 V
AC Magnitude: 1 V
Frequency: 1000 Hz
בעזרת Choose->Analysis הגדר אנליזה מסוג ac בתחום של 1Hz עד 1GHz.

- בצע את הסימולציה.
- בחלון ה- calculator לחץ על vf ובחר את צומת היציאה. לחץ על . לחץ על vf ובחר את צומת הכניסה, לחץ שוב על .

א. הדפס וצרף את הגרף לדו"ח.
ב. באיזה תדר יורד ההגבר ל- 0.5?
ג. השווה את הגרף של ההגבר בחוג פתוח עם הגרף של ההגבר בחוג סגור.

8. סרטוט וסדיקת ה- Layout של מגבר ה- Common Source

המטרות של הסעיף הזה של הניסוי הן :

1. שרטוט Layout עבור המעגל המתוכנן.
2. ביצוע בדיקות DRC ו- LVS, לאימות התיאום בין המעגל הסכמטי לשרטוט ה- LAYOUT. (DRC = Design Rule Check, LVS = Layout Vs. Schematics).
3. הכרת ה- Digital Placer וה-Autorouter (ייצור Layout חצי אוטומטי באמצעות התוכנה).

בסעיף זה של הניסוי 'נצייר' את ה- LAYOUT של מעגל שסומלץ בפגישה הקודמת. בנית ה-layout תתבצע באופן ידני. עבודה ידנית מאפשרת למתכנן לעמוד בכל מיני דרישות של תכנון אנלוגי (כמו דרישות סימטריה למשל) אבל דורשת לא מעט זמן לביצוע. בהמשך, נראה דוגמא של מימוש אוטומטי של layout. פתח את חלון ה-schematic של המגבר.

קבע (בעזרת Edit->Properties-Object) את מימדי ההתקנים באופן הבא :

M0: Width 1.47, Length 0.18
M1: Width 2.65, Length 0.18
M2: Width 1.05Length 0.18
M3: Width 1.26, Length 0.18
Capacitor: W=5, L=5

<u>חשוב : יש להחליף את w0 ואת w1 במספרים הנ"ל.</u>

ובצע :

File→Check and Save

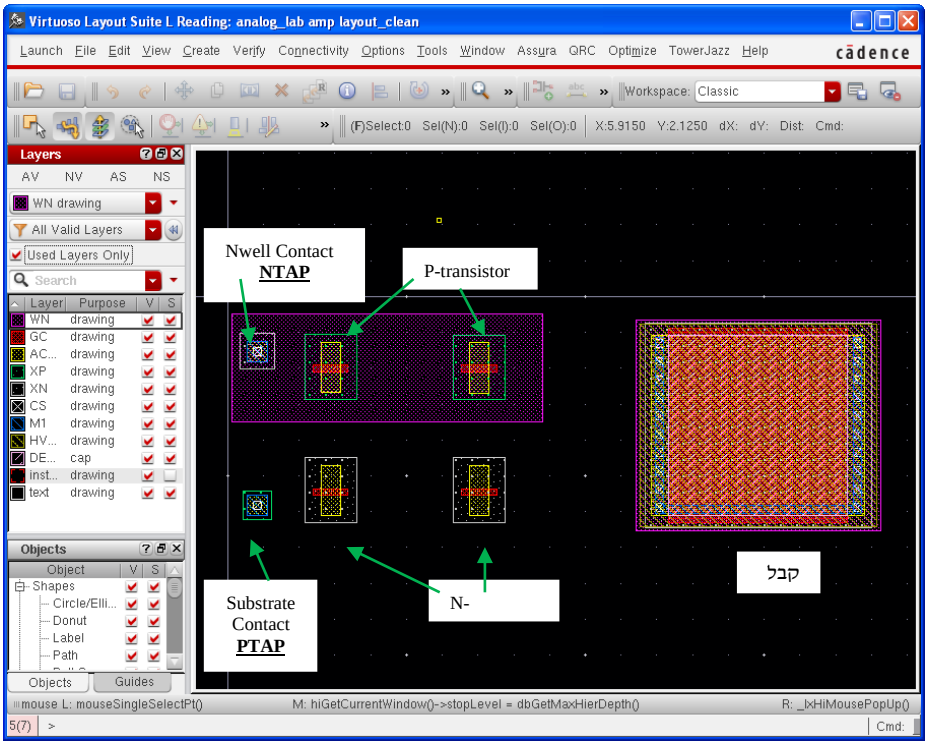
פתח את ה- layout בעזרת :

Launch→Layout GXL

בחר ב-

Layout: Open existing — לענות yes לשאלה
Configuration: Automatic

יש ללחוץ על O.K לאישור. לחץ על shift f להצגת כל השכבות.



מופיע חלון לשרטוט Layout, וכן חלון נוסף המהווה את התפריט לשכבות השונות (LSW). בחלון ה- Layout משורטטים כבר ארבעת הטרנזיסטורים באוריינטציה דומה לשרטוט הסכמתי, קבל ומגע למצע ומגע ל- N-well. עקבו אחר כל השכבות המרכיבות את הטרנזיסטור וודאו שאתם מבינים אותן (היעזרו בעמ' 12). מהו W ומהו L של כל הטרנזיסטור ? בצד שמאל למעלה שבשרטוט מתואר חיבור ל- Nwell ובצד שמאל למטה מתואר חיבור למצע. לחץ על Used Layers Only שבצד שמאל. מסך ה-Layout :

<u>תזכורת</u> :

- רוחב המינימלי של התעלה : 0.18 מיקרון
- מגע (contact-CS) חייב להיות בגודל מדויק של 0.22X0.22
- שכבת ה- CG - poly מתחברת רק לשכבת המתכת M1, (אין אפשרות לחיבור ישיר ל – M2)
- שכבת ה- active מתחברת רק לשכבת המתכת M1, (אין אפשרות לחיבור ישיר ל – M2)
- אין אפשרות לחיבור ישיר בין poly ל- active. החיבור ביניהם מתבצע ע"י מעבר למתכת (M1).
- אם שני פוליגונים של אותה שכבה נוגעים או חופפים אזי קיים חיבור חשמלי ביניהם.
- אם שני פוליגונים של שכבות שונות נוגעים או חופפים אין חיבור חשמלי ביניהם. המקרה החריג הוא החפיפה של poly (אדום) עם active (צהוב) שיוצרת טרנזיסטור.
- משתמשים רק ב- purpose מסוג dra (drawing). לפעמים מופיע כ- dg.
- WN : Nwell
- XP : קובע שה- active שבתוכו יהיה מסוג p+
- XN : קובע שה- active שבתוכו יהיה מסוג n+
- **<u>PTAP</u>**- שם עבור חיבור של המצע (-P) ל- gnd!
- **<u>NTAP</u>**- שם עבור חיבור של ה- Nwell (-N) ל- vdd!

<u>דרישות</u> : עליכם לעדכן את גדלי הטרנזיסטורים לגדלים שבשרטוט הסכמתי (מהפגישה הקודמת), וכן ליצור את החיבורים בין הרכיבים בהתאם לאותו שרטוט.

<u>פעולות עריכה נפוצות</u> :

<u>הוספת מלבן</u> : ראשית בחר בשכבה הרצוי בחלון השכבות בצד שמאל. בחר

בפקודה Create->Shape-Rectangle. סמן עם העכבר את הפינה הראשונה של המלבן ולאחר מכן את הפינה השנייה.

<u>שינו גודל מלבן</u> : בצע unselect של הכל (ע"י לחיצה על שטח ללא צורות, כלומר שטח שחור). בחר בפקודה Edit->Stretch. שים את הסמן של העכבר על הצלע שברצונך "למתוח". לחץ על כפתור ימין **כאשר רק הצלע מואר.** הגדל או הקטן את המלבן ולחץ (שוב על כפתור ימין).

<u>העתקה</u> : בחר את הצורה או הצורות שברצונך להעתיק. בחר בפקודה Edit->Copy. סמן (ע"י לחיצה על כפתור ימין) את נקודת הייחוס. סמן (שוב ע"י לחיצה על כפתור ימין) את מיקום הצורה המועתקת. על מנת לאפשר העתקה לכל מקום (זווית) לחץ על F3 ובשדה Snap Mode בחר ב-AnyAngle.

<u>הזזה</u> : כמו העתקה אבל מתבצע עם הפקודה Edit->Move.

<u>מחיקה</u> : בחר את הצורה או הצורות שברצונך להעתיק. לחץ על delete.

<u>מדידת מימדים</u> : מרחקים ניתן למדוד בעזרת Tools→Create Ruler, יש לסמן את נקודת התחלת המדידה על ידי לחיצה בודדת על הכפתור השמאלי בעכבר, 'לגרור' ללא לחיצה את הסרגל עד לנקודה הרצויה ולסיים את המדידה על ידי לחיצה בודדת נוספת על הכפתור השמאלי בעכבר. בסיום פעולת המדידה יש ללחוץ על Esc כדי להמשיך בפעולות אחרות. כדי לבטל את הצגת הסרגלים (אם הם מפריעים) יש לבצע:

Tools→Clear All Rulers

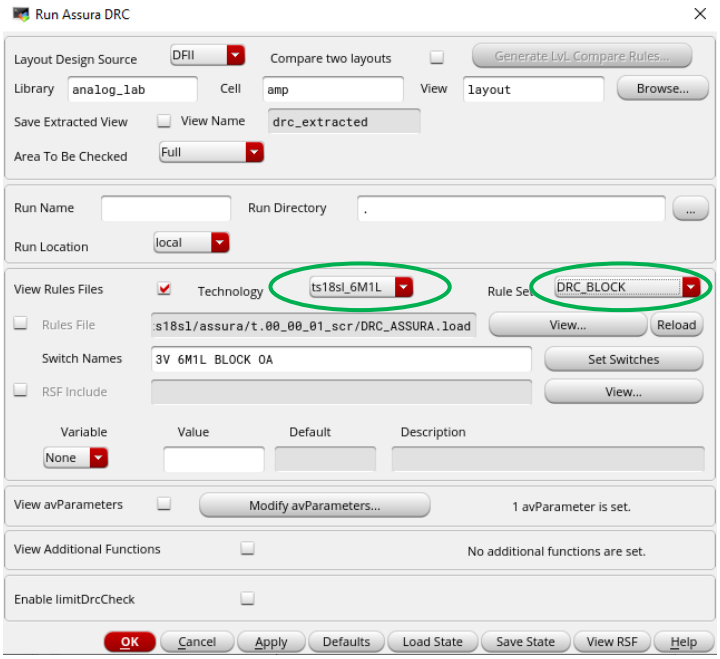
א. צרף את ה layout לדו"ח.

8.2 בדיקת DRC (Design Rule Check)

כדי למנוע בעיות יצור, שרטוט ה- layout חייב לקיים אוסף של חוקי תכנון כגון מרחק מינימלי בין קווים, רוחב מינימלי של קווים ועוד. לאחר סיום שרטוט ה- Layout יש לבדוק כי השרטוט מתאים לחוקי התכנון, המתאימים לטכנולוגיה הספציפית בה השתמשנו. את הבדיקה יש לבצע בחלון ה-Layout באמצעות:

Assura→Run DRC

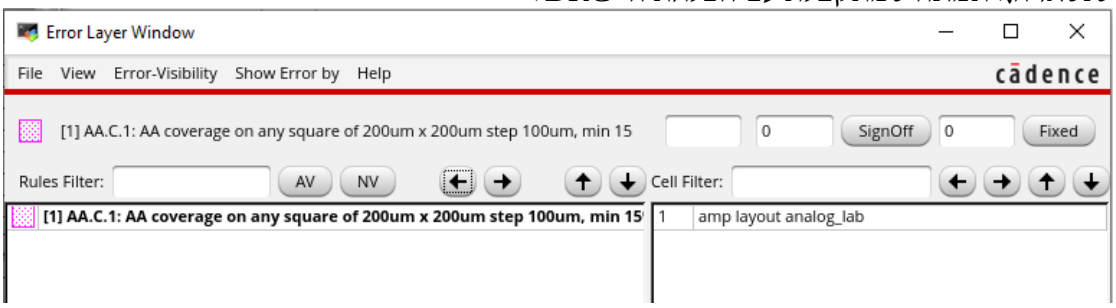
בחלון שנפתח יש לבחור ב- Technology : ts18sl_6M1L, עבור Rule Set בחר ב-DRC_BLOCK. יש ללחוץ OK לאישור.



בסיום הריצה תודיע על הצלחה או כשלון של בדיקת ה-DRC. בחלון ששואל "Do you want to see the results of this run ?" לחץ על Yes. התוכנה תציג את מספר וסוג הטעויות שנמצאו בחלון ה-Error Layout Window. כדי להתמקד בטעויות שנמצאו יש לסמן את השגיאה ברשימה

שנמצאת בצד שמאל של חלון ה-Error Layer Window , ולחיצה על החצים שנמצאים בצידו הימני של החלון . לחיצה על חצים אלו תסמן את המיקום הבעייתי במסך ה-Layout.

יש לתקן את כל שגיאות ה- DRC (חוץ מ- AA.C.1) ולהוסיף את תמונת התא עם הודעה שבדיקת DRC עברה בהצלחה בדו"ח המסכם. ניתן להתייעץ עם המנחה לגבי שגיאת ה-DRC שנשארה). תמונה שמתקבלת עם הצלחת ה- DRC:



א. צרף את תוצאות ה- DRC לדו"ח.

8.3 בדיקת LVS (Layout Vs. Schematic)

ברור שה- layout חייב לייצג בצורה מדויקת את הסכמה שברצוננו לייצר. לשם בדיקת הזהות בין הסכמה ל- layout מתבצעת בדיקת ה- LVS. בדיקה זו משווה בין ה- Layout לסכמה בכל המישורים:

- התאמת בין שמות הצמתים שקבעתם בשרטוט ה- Layout מול השרטוט הסכמתי.
- התאמה בחיבוריות שבין האלמנטים.
- התאמה בערכי הרכיבים (גדלי הטרנזיסטורים, ערכי הקבלים וכו').
- התאמה במספר האלמנטים וסוגיהם.

הכנת המעגלים לקראת הבדיקה:

<u>השרטוט הסכמתי</u>:

כעת יש להציב פינים. ניתן להוסיף פין ע"י Create→Pin בחלון ה- Schematic. עליך להוסיף את הפינים הבאים: vout, vsin, vdd!, gnd!

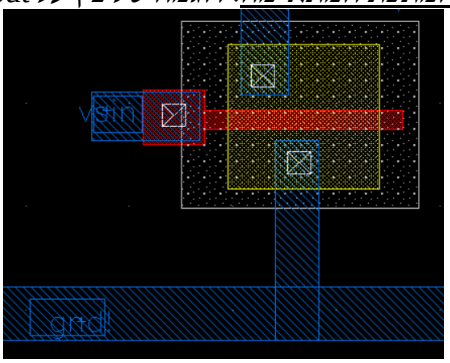
<u>שרטוט ה- Layout</u>:

יש להוסיף את הפינים גם ל- Layout, פינים **<u>בעלי אותם שמות</u>** שקבענו ב- Schematic (עם אבחנה בין אותיות גדולות וקטנות), באופן הבא:

יש לבחור שכבה בא ימוקם הפין. כעת בחלון ה- Layout יש לבצע:

Create→Pin

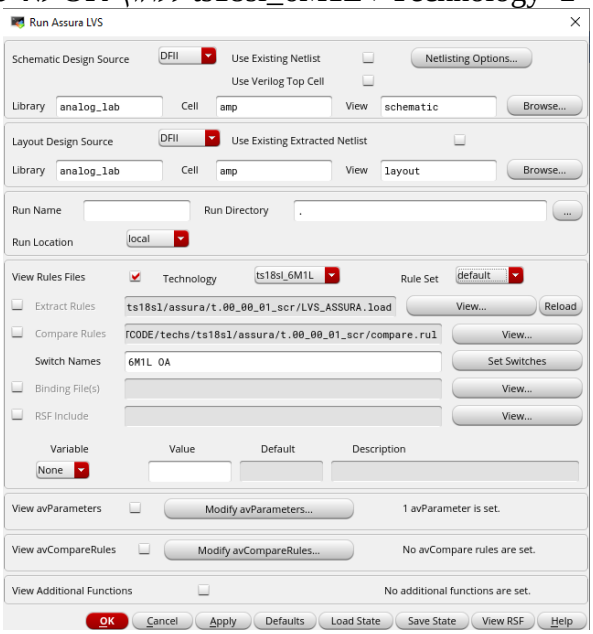
בחלון שנפתח יש לרשום את שם הפין (כמו ב-Schematic) ולהפעיל את אופציית Display Terminal Name. עבור סוג פין בחר ב- InputOutput. כעת יש לשרטט ב-Layout את הפין במקום הרצוי כלומר קודם לסמן פינה אחת של הפין ולאחר מכן הפינה הנגדית, וכן למקם את השם. (אין חשיבות לגודל או לגיאומטריה של הפין, אלא רק לשכבה בה הוא מצויר). יש למקם את הפין ואת שמו על שכבת המתכת המתאימה. דוגמה של פין על layout:



להרצת LVS בצעו:

Assura → Run LVS

בחלון שנפתח יש לבחור ב- Technology: ts18sl_6M1L ללחוץ OK לאישור.



בסיום הבדיקה יתקבל דו״ח המשווה בין ה-Layout ל-Schematic, בדו״ח ניתן לראות את סוגי האלמנטים שזוהו ב-Layout, סוגי האלמנטים שזוהו ב-Schematic ואת ההשוואה הסופית ביניהם. לחיצה על OK תפתח את ה-Debugger, לחיצה על

View→Schematic VNL netlist

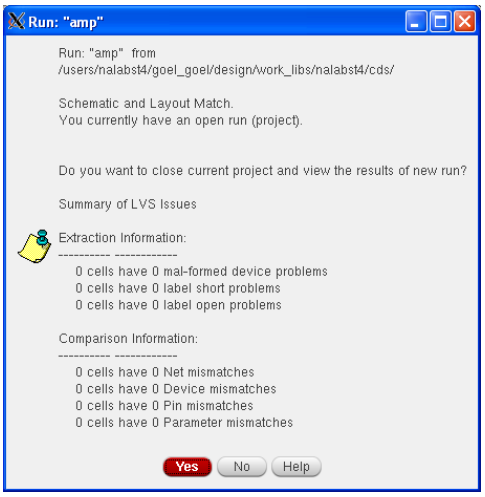
תציג את קובץ ה-netlist שפוענח מתוך ה- Schematic,לחיצה על

View→Layout VNL netlist

תציג את קובץ ה-netlist שפוענח מתוך ה- Layout. ניתן לנווט בין השגיאות באופן הבא:

- לחץ על הודעות השגיאה במרכז המסך
- בחר ב- devices או nets ואז לחץ על Open Tool.
- בחר באחת השגיאות מה-Layout או ה-Schematic ולחץ על probe. ההתקן או רשת בעיתי/ת יידלק בצבע בולט.

עבור כל שינוי שמבוצע ב- Schematic יש לבצע Check and Save (ולא רק save). **יש לתקן את כל השגיאות ולהריץ את הבדיקה מחדש.** יש להוסיף את תמונת תא ה- layout וגם את ההודעה שבדיקת LVS עברה בהצלחה בדו"ח המסכם. תמונה שמתקבלת עם הצלחת ה- LVS:



א. צרף את תוצאות ה- LVS לדו"ח.