The Andrew and Erna Viterbi Faculty of ELECTRICAL & COMPUTER ENGINEERING

Technion Israel Institute of Technology




# מעבדה ב- VLSI ספרתי - 0450111

# סינתזה ותכנון Layout הקדמה - (BackEnd)

http://www.ee.technion.ac.il/vlsi/

הערות נא לשלוח ל-goel@ee

כל הערה תתקבל בברכה!

עדכון אחרון - 19/09/2024 11:17

**מסמך זה כתוב בלשון זכר ע"מ להקל על הכתיבה אך מתייחס לנשים ולגברים כאחד. עמכם הסליחה.**

# הקדמה

חוברת זו מהווה תדריך והכנה לניסוי תכנון Backend של מעגלי VLSI במעבדה ל- VLSI. הניסוי מתבצע על גבי תחנות Linux ותוכנת Synopsys ו- Cadence לתכנון VLSI.

**מטרת הניסוי:**

1. הכרה של כלי סינתזה וכלי Layout אוטומטיים וכן כל קבצי הטכנולוגיה הדרושים להפעלת התהליך הדרושים לכלים.
2. התנסות בסינתזה עם ה- Design Compiler של חברת Synopsys ושימוש ביכולות המתקדמות שלי הכלי.
3. התנסות בסיסית עם Logical Equivalence Checking.
4. התנסות ב- Layout אוטומטי באמצעות כלי ה- Innovus של חברת Cadence ושימוש ביכולות המתקדמות שלי הכלי.

מבנה הניסוי:
הניסוי מורכב מ- 2 פגישות. כל פגישה אורכה ארבע שעות. לפני כל ניסוי יש להכין דו"ח מכין ולהגישו ב- labadmin לפני תחילת הניסוי.

חלק א' :

1. סינתזה ראשונית והכרה של ספריות ומודלים הדרושים לתהליך.
2. סינתזה תוך כדי אופטימיזציה של התזמון בשיטות שונות של הכלי design_vision.
3. שילוב של Design For Testability – DFT.
4. ביצוע Logical Equivalence Checking על המעגל המסונתז.
5. מימוש Layout אוטומטי כולל Floor Planning, Power Grid Design, Standard Cell Placement, Clock Tree Synthesis, Final Route. בדיקת חוקיות ה- layout.
6. אנליזה של setup time ו- hold time (עם min/max delay) כולל פתרון הבעיות.
7. ביצוע אנליזת הספק (Power Analysis).

דרישות הניסוי:

- קריאת חוברות הניסוי בעיון רב (אפילו יותר מפעם אחת).
- הגשת דו"ח הכנה לניסוי לפי שאלות מפרק דו"ח הכנה.
- בוחן הכנה לניסוי.
- ביצוע הניסוי על תחנת עבודה.
- הגשת דו"ח סיכום שבועיים לאחר ביצוע חלק ב' של הניסוי.

דרישות דו"ח סיכום:

הגשת:

- דו"ח מכין.
- דו"ח סופי עם תשובות לכל השאלות שנשאלות במהלך הניסוי.